

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PCT

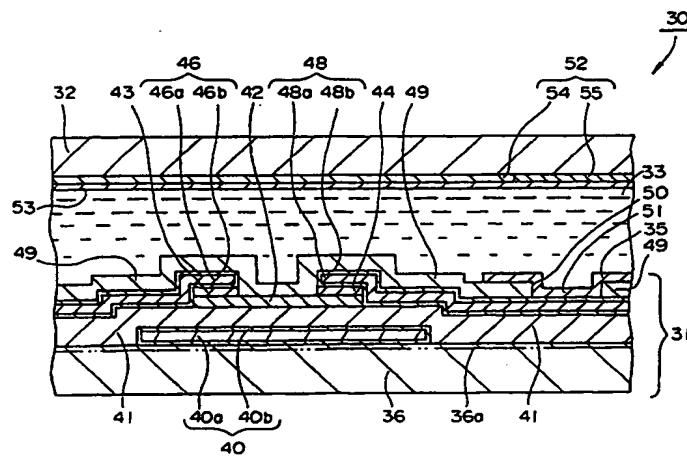
世界知的所有権機関
国際事務局

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類7 H01L 21/3205, 21/336, 29/786, G02F 1/1343	A1	(11) 国際公開番号 WO00/36641
		(43) 国際公開日 2000年6月22日 (22.06.00)
(21) 国際出願番号 PCT/JP99/06877		
(22) 国際出願日 1999年12月8日 (08.12.99)		
(30) 優先権データ 特願平10/375320 1998年12月14日 (14.12.98) JP 特願平11/224692 1999年8月6日 (06.08.99) JP		(81) 指定国 JP, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE) 添付公開書類 国際調査報告書
(71) 出願人 (米国を除くすべての指定国について) 株式会社 フロンテック (FRONTEC INCORPORATED)[JP/JP] 〒981-3206 宮城県仙台市泉区明通三丁目31番地 Miyagi, (JP)		
(72) 発明者 ; および		
(75) 発明者 / 出願人 (米国についてのみ) 佐々木真(SASAKI, Makoto)[JP/JP] 蔡 基成(CHAE, Gee Sung)[KR/JP] 〒981-3206 宮城県仙台市泉区明通三丁目31番地 株式会社 フロンテック内 Miyagi, (JP)		
(74) 代理人 弁理士 志賀正武, 外(SHIGA, Masatake et al.) 〒169-8925 東京都新宿区高田馬場三丁目23番3号 ORビル Tokyo, (JP)		

(54) Title: WIRING, THIN-FILM TRANSISTOR SUBSTRATE WITH THE WIRING, METHOD OF MANUFACTURE THEREOF, AND LIQUID CRYSTAL DISPLAY DEVICE

(54) 発明の名称 配線とこれを用いた薄膜トランジスタ基板およびその製造方法と液晶表示装置



(57) Abstract

The invention provides a gate electrode (40) (wiring) characterized by comprising titanium or titanium oxide film (40b) that surrounds a copper layer (40a); a thin-film transistor substrate (31) characterized by comprising the gate electrode (40) (wiring); and a liquid crystal display device characterized in that liquid crystal is interposed between a pair of substrates opposed to each other, one of the substrates being the thin-film transistor substrate (31).

銅層 40 a の周囲に、チタンまたはチタン酸化物からなる被膜 40 b を有することを特徴とするゲート電極（配線）40 と、該ゲート電極（配線）40 を有することを特徴とする薄膜トランジスタ基板 31 と、対向配置された一対の基板の間に液晶が挟持され、上記一対の基板の一方が薄膜トランジスタ基板 31 であることを特徴とする液晶表示装置。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	DM ドミニカ	KZ カザフスタン	RU ロシア
AL アルバニア	EE エストニア	LC セントルシア	SD スーダン
AM アルメニア	ES スペイン	LI リヒテンシュタイン	SE スウェーデン
AT オーストリア	FI フィンランド	LK スリ・ランカ	SG シンガポール
AU オーストラリア	FR フランス	LR リベリア	SI スロヴェニア
AZ アゼルバイジャン	GA ガボン	LS レント	SK スロバキア
BA ボスニア・ヘルツェゴビナ	GB 英国	LT リトアニア	SL シエラ・レオネ
BB バルバドス	GD グレナダ	LU ルクセンブルグ	SN セネガル
BE ベルギー	GE グルジア	LV ラトヴィア	SZ スウェーデン
BF ブルキナ・ファソ	GH ガーナ	MA モロッコ	TD チャード
BG ブルガリア	GM ガンビア	MC モナコ	TG チュニジア
BJ ベナン	GN ギニア	MD モルドバ	TJ タジキスタン
BR ブラジル	GW ギニア・ビサオ	MG マダガスカル	TZ タンザニア
BY ベラルーシ	GR ギリシャ	MK マケドニア旧ユーゴスラヴィア	TM トルコメニスタン
CA カナダ	HR クロアチア	共和国	TR トルコ
CF 中央アフリカ	HU ハンガリー	ML マリ	TT トリニダッド・トバゴ
CG コンゴ	ID インドネシア	MN モンゴル	UA ウクライナ
CH スイス	IE アイルランド	MR モーリタニア	UG ウガンダ
CI コートジボアール	IL イスラエル	MW マラウイ	US 米国
CM カメルーン	IN インド	MX メキシコ	UZ ウズベキスタン
CN 中国	IS アイスランド	NE ニジエール	VN ヴィエトナム
CR コスタ・リカ	IT イタリア	NL オランダ	YU ユーゴスラビア
CU キューバ	JP 日本	NO ノルウェー	ZA 南アフリカ共和国
CY キプロス	KE ケニア	NZ ニュー・ジーランド	ZW ジンバブエ
CZ チェコ	KG キルギスタン	PL ポーランド	
DE ドイツ	KP 北朝鮮	PT ポルトガル	
DK デンマーク	KR 韓国	RO ルーマニア	

明細書

配線とこれを用いた薄膜トランジスタ基板およびその製造方法と液晶表示装置

技術分野

本発明は、低抵抗の銅を電極や配線材料に用いた配線とこれを用いた薄膜トランジスタ（TFT）基板及びその製造方法と液晶表示装置に関する。

背景技術

一般に、液晶表示装置に備えられる基板としては、薄膜トランジスタ（TFT）基板が知られている。

図33と図34は、ゲート配線Gとソース配線Sなどの部分を基板86上に備えた一般的な薄膜トランジスタ基板の一構造例を示すものである。図33と図34に示す薄膜トランジスタ基板において、ガラスなどの透明の基板86上に、ゲート配線Gとソース配線Sとがマトリクス状に配線されている。また、ゲート配線Gとソース配線Sとで囲まれた領域が画素部81とされ、各画素部81には薄膜トランジスタ83が設けられている。

薄膜トランジスタ83はエッチストップ型の一般的な構成のものであり、Al又はAl合金などの導電材料からなるゲート配線Gとこのゲート配線Gから引き出して設けたゲート電極88上に、ゲート絶縁膜89を設け、このゲート絶縁膜89上にアモルファスシリコン（a-Si）からなる半導体能動膜90をゲート電極88に対向させて設け、更にこの半導体能動膜90上にAl又はAl合金などの導電材料からなるドレイン電極91とソース電極92とを相互に対向させて設けて構成されている。なお、半導体能動膜90の両側の上部側にはリンなどのドナーとなる不純物を高濃度にドープしたアモルファスシリコンなどのオーミックコンタクト膜90a、90aが形成され、それら上に形成されたドレイン電極91とソース電極92と、半導体能動膜90とで挟まれた状態でエッチングストップ93が形成されている。また、ドレイン電極91の上からドレイン電極91の側方側にかけてインジウム酸化錫（以下、ITOと略記する。）からなる透

明画素電極 9 5 が接続されている。

そして、ゲート絶縁膜 8 9 と透明画素電極 9 5 とドレイン電極 9 1 とソース電極 9 2 などの上を覆ってこれらの上にパッシベーション膜 9 6 が設けられている。このパッシベーション膜 9 6 上には図示略の配向膜が形成され、この配向膜の上方に液晶が設けられてアクティブマトリクス液晶表示装置が構成されていて、透明画素電極 9 5 によって液晶の分子に電界を印加すると液晶分子の配向制御ができるようになっている。

図 3 3 と図 3 4 に示した薄膜トランジスタ基板を製造する方法としては、アルミニウムまたはアルミニウム合金からなるターゲットを用い、該ターゲットに直流電力を印加する通常のスパッタ法などの薄膜形成手段によりガラス基板 8 6 上に Al 又は Al 合金層を形成後、フォトリソグラフィー法によりゲート形成位置以外の場所の Al 又は Al 合金層を除去してゲート電極 8 8 を形成した後、CVD 法などの薄膜形成手段により SiO_2 や SiN_x からなるゲート絶縁膜 8 9 、半導体能動膜 9 0 、エッティングストッパー 9 3 を形成し、ついでこれらの上に上述のスパッタ法、フォトリソグラフィー法によりオーミックコンタクト膜 9 0 a 、ドレイン電極 9 1 及びソース電極 9 2 を形成し、ついで形成したドレイン電極 9 1 及びソース電極 9 2 をマスクして、オーミックコンタクト膜 9 0 a の一部を除去してオーミックコンタクト膜 9 0 a を分割した後、CVD 法などによりパッシベーション膜 9 6 を形成することにより、薄膜トランジスタ基板が得られる。

ところで、近年、液晶表示装置の高速化等に伴い、ゲート電極、ゲート配線、ソース配線、ドレイン配線などの電極や配線の抵抗による信号伝達の遅延の問題が顕在化されており、このような問題を解決するために電極や配線を構成する材料として Al または Al 合金より低抵抗の銅の使用が検討されている。この銅配線は、Al または Al 合金から配線を構成する場合と同様に通常のスパッタ法により Cu 層を形成後、フォトリソグラフィー法により配線形成位置以外の場所の Cu 層を除去することにより形成できる。

しかしながら図 3 3 と図 3 4 に示したような構造の薄膜トランジスタ基板が備えられた液晶表示装置において、ゲート電極 8 8 などの電極やゲート配線 G などの配線の材料（以下、配線材料と略記する。）として銅を用いると、銅が薬液に

弱いため、後工程で他の層をエッチングする際に使用される酸化力のある酸系エッチング剤が銅膜にしみ込んで来たときにこの銅膜がエッチングされて損傷を受けることがあり、さらに損傷が進行すると下地膜としての基板86から剥離したり、断線不良が生じることがあるため、用いるエッチング剤が制限されてしまうという問題があった。

また、配線材料として銅を用いると、フォトリソグラフィー工程で使用されるレジスト剥離液が銅膜にしみ込んで来たときにこのレジスト剥離液により銅膜が腐食することがあった。

また、銅膜のエッチングメカニズムは、銅膜表面を酸化してエッチングを行うものであるが、エッチング前に空気中の水分や酸素により銅膜の表面にCuOやCu₂Oなどの酸化層ができてしまうと、酸化力のないエッチング剤でもエッチングされて損傷を受け、さらには断線不良が生じるという問題があった。そこで、表面にCuOやCu₂Oなどの酸化層の発生を防止できるCu系配線材料として、Cu合金が考えられているが、Cu合金はCuに比べて配線比抵抗が大きくなってしまい、低抵抗の材料を用いる効果があまり期待できなくなってしまう。

また、ゲート電極88を銅膜から構成すると、Cuがゲート絶縁膜89に拡散し、絶縁耐圧不良が生じるという問題があり、さらに、基板86がガラス基板であると、ゲート電極88に基板86中のSiがゲート電極88に入り込み、ゲート電極88の抵抗が上昇してしまう。また、ドレイン電極91やソース電極92を銅膜から構成すると、各電極91, 92と半導体能動膜90との間で元素の相互拡散が生じ、半導体能動膜の特性が劣化してしまうという問題があった。

発明の開示

本発明は上記事情に鑑みてなされたもので、低抵抗の銅を配線材料として用いる場合に、水分や酸素に対する耐酸化性を向上でき、しかもエッチング剤やレジスト剥離液などに対する耐腐食性を向上でき、下地との密着性を向上でき、さらに隣接膜との間での元素の相互拡散を防止できる配線とこれを用いた薄膜トランジスタ基板およびその製造方法と、そのような薄膜トランジスタ基板を備えた液晶表示装置を提供することを課題とする。

本発明の配線は、上記課題を解決するために、銅層の周囲に、チタンまたはチタン酸化物からなる被膜を有することを特徴とする。ここでの被膜の具体例としては、チタン原子数に対する酸素原子数の比が1対0乃至1対2である組成の皮膜などを挙げることができ、より具体的には、チタン被膜、酸化チタン被膜などが挙げられる。

また、本発明の配線は、上記課題を解決するために、銅層の周囲に、モリブデンまたはモリブデン酸化物からなる被膜を有することを特徴とするものであってもよい。ここでの被膜の具体例としては、モリブデン原子数に対する酸素原子数の比が1対0乃至1対3である組成の被膜などを挙げることができ、より具体的には、モリブデン被膜、酸化モリブデン被膜などが挙げられる。

また、本発明の配線は、上記課題を解決するために、銅層の周囲に、クロムまたはクロム酸化物からなる被膜を有することを特徴とするものであってもよい。ここでの被膜の具体例としては、クロム原子数に対する酸素原子数の比が1対0乃至1対2である組成の被膜などを挙げることができ、より具体的にはクロム被膜、酸化クロム被膜などが挙げられる。

さらにまた、本発明の配線は、上記課題を解決するために、銅層の周囲に、タンタルまたはタンタル酸化物からなる被膜を有することを特徴とするものであってもよい。ここでの被膜の具体例としては、タンタル原子数に対する酸素原子数の比が1対0乃至1対2.5である組成の被膜などを挙げることができ、より具体的には、タンタル被膜、酸化タンタル被膜などが挙げられる。

上記の銅層の周囲に形成される上記被膜の厚みは、5乃至30nm程度とすることが好ましく、より好ましくは5乃至20nmストローム程度である。上記被膜の厚みが5nm未満であると、薄すぎて水分や酸素に対する耐酸化性ならびにエッティング剤やレジスト剥離液などに対する耐腐食性をあまり向上できず、また、隣接膜との間の元素の相互拡散が生じる場合がある。また、30nmを超えて厚くしても目的とする効果が飽和する一方で成膜時間が増加し、また、配線比抵抗が上昇してしまう。

また、本発明の配線で、銅層の周囲に、チタンまたはチタン酸化物からなる被膜を有するものにおいては、上記被膜は、チタン膜と、チタン酸化物からなる膜

とを有してなるものであってもよく、具体例としては、チタン膜と、チタン原子数に対する酸素原子数の比が1対1乃至1対2である組成の膜とを有してなるものなどが挙げられる。

また、本発明の配線で、銅層の周囲に、チタンまたはチタン酸化物からなる被膜を有するものにおいては、上記被膜は、上記銅層の周囲に形成されたチタン膜と該チタン膜の表面に形成されたチタン酸化物からなる膜とを有してなるものであってもよく、具体例としては、上記銅層の周囲に形成されたチタン膜と該チタン膜の表面に形成されたチタン原子数に対する酸素原子数の比が1対1乃至1対2である組成の膜とを有してなるものなどが挙げられる。

また、本発明の配線で、銅層の周囲に、チタンまたはチタン酸化物からなる被膜を有するものにおいては、上記被膜は、上記銅層の周囲の一部に形成されたチタン膜と、上記銅層の周囲の残部に形成されたチタン酸化物からなる膜とを有してなるものであってもよく、具体例としては、上記銅層の周囲の一部に形成されたチタン膜と、上記銅層の周囲の残部に形成されたチタン原子数に対する酸素原子数の比が1対1乃至1対2である組成の膜とを有してなるものなどが挙げられる。

また、本発明の配線で、銅層の周囲に、クロムまたはクロム酸化物からなる被膜を有するものにおいては、上記被膜は、クロム膜と、クロム酸化物からなる膜とを有してなるものであってもよく、具体例としては、クロム膜と、クロム原子数に対する酸素原子数の比が1対1乃至1対2である組成の膜とを有してなるものなどが挙げられる。

また、本発明の配線で、銅層の周囲に、クロムまたはクロム酸化物からなる被膜を有するものにおいては、上記被膜は、上記銅層の周囲に形成されたクロム膜と該クロム膜の表面に形成されたクロム酸化物からなる膜とを有してなるものであってもよく、具体例としては、上記銅層の周囲に形成されたクロム膜と該クロム膜の表面に形成されたクロム原子数に対する酸素原子数の比が1対1乃至1対2である組成の膜とを有してなるものなどが挙げられる。

また、本発明の配線で、銅層の周囲に、クロム又はクロム酸化物からなる被膜を有するものにおいては、上記被膜は、上記銅層の周囲の一部に形成されたクロ

ム膜と、上記銅層の周囲の残部に形成されたクロム酸化物からなる膜とを有してなるものであってもよく、具体例としては、上記銅層の周囲の一部に形成されたクロム膜と、上記銅層の周囲の残部に形成されたクロム原子数に対する酸素原子数の比が1対1乃至1対2である組成の膜とを有してなるものなどが挙げられる。

本発明の薄膜トランジスタ基板は、上記課題を解決するために、上記のいずれかの構成の本発明の配線を有することを特徴とする。

また、本発明の薄膜トランジスタ基板は、上記課題を解決するために、基体上にTiN膜を介して上記のいずれかの構成の本発明の配線を設けたことを特徴とする。

また、本発明の薄膜トランジスタ基板は、銅層の周囲に、チタンまたはチタン酸化物からなる被膜を有する配線を基体上にTiN膜を介して設けたことを特徴とするものであってもよい。チタンまたはチタン酸化物からなる被膜の具体例としては、チタン原子数に対する酸素原子数の比が1対0乃至1対2である組成の被膜などが挙げられる。

また、本発明の薄膜トランジスタ基板は、銅層の表面に、チタンまたはチタン酸化物からなる被膜を有する配線の被膜が、基体上にTiN膜を介して設けられたものであってもよい。ここでの配線の被膜は、上記銅層の表面に形成されたチタン膜と該チタン膜の表面に形成されたチタン酸化物からなる膜とを有するものであってもよい。ここでのチタン酸化物からなる膜の具体例としては、チタン原子数に対する酸素原子数の比が1対1乃至1対2である組成の膜とを有するものなどが挙げられる。

上記TiNの厚みは、10乃至50nm程度とすることが好ましい。上記TiNの厚みが10nm未満であると、上記配線の銅層と基体の間に、上記のバリヤー層として作用する被膜が形成されていない場合、あるいは、上記被膜の厚みが十分でない場合に、上記基体や、SiO₂、SiON、SiO_xなどの隣接膜から拡散してきた元素が配線内に入り込むのを防止する効果が不十分である。また、50nmを超えて厚くしても目的とする効果が飽和する一方で成膜時間が増加してしまう。

本発明に係わる配線にあっては、上述のような構成とすることにより、レジスト剥離液やエッティング液などの薬液や水分に強い保護層や隣接膜との間での元素の相互拡散を防止するバリヤー層としての被膜が銅層の周囲に形成されたこととなり、あるいはレジスト剥離液やエッティング液などの薬液や水分に強い保護層としての被膜が銅層の表面に形成されたこととなる。

このような配線を有する本発明の薄膜トランジスタ基板によれば、後工程で他の層をエッティングする際に使用される酸化力のある酸系エッティング剤が銅配線にまでしみ込んで来ても銅層の周囲あるいは表面に保護層として作用する上記被膜が形成されているので、配線がエッティング剤により損傷を受けにくく、配線が下地から剥離するのを防止できるうえ断線不良の発生を防止でき、また、用いるエッティング剤の自由度が大きい。

また、フォトリソグラフィー工程で使用されるレジスト剥離液が配線にまでしみ込んで来ても本発明に用いられる配線は銅層の周囲あるいは表面に保護層として作用する上記被膜が形成されているので、レジスト剥離液による配線の腐食を防止できる。

また、本発明に係わる配線は、銅層の周囲あるいは表面に上記被膜が形成されているので、エッティング前に水分の存在により配線の表面に酸化層が形成されることがなくなり、酸化力のないエッティング剤により損傷を受けにくく、断線不良の発生を防止できる。また、銅層の周囲にバリヤー層として作用する上記被膜が形成されているので、隣接膜から元素が拡散してきても上記被膜により配線への原子の拡散が阻害され、隣接膜からの元素の拡散に起因する配線抵抗の上昇を防止でき、また、銅層のCu原子が隣接膜に拡散するのを上記被膜により阻害できるので、銅層からのCu原子の拡散に起因する絶縁耐圧不良を防止できるうえ、半導体能動膜の特性の劣化を防止できる。

また、銅層の表面にバリヤー層として作用する上記被膜を形成した配線にあっては、この配線の上側や側方の隣接膜（上記被膜の上側や側方の隣接膜）から元素が拡散してきても上記被膜により配線への原子の拡散が阻害され、隣接膜からの元素の拡散に起因する配線抵抗の上昇を防止でき、また、上記被膜により銅層のCu原子がこの配線の上側や側方の隣接膜に拡散するのを阻害されるので、銅

層からのCu原子の拡散に起因する絶縁耐圧不良を防止できるうえ、半導体能動膜の特性の劣化を防止できる。

また、銅層の周囲あるいは表面が上記被膜により覆われているので、この配線上にCVD法等により酸化珪素からなる絶縁膜やパッシベーション膜を形成する際に、上記銅層を構成するCuと絶縁膜等の形成材料のSiH₄ガスとの反応を防止できるので、上記反応に起因して銅層の表面に針状突起が生じることがなく、該針状突起により絶縁抵抗不良が起こるのを防止できる。

また、本発明に係わる配線は、ITOやIZOなどの透明導電膜からなる画素電極と直接接触させても、配線材料としてアルミニウムを用いる場合のようにITOやIZO中の酸素が配線を酸化する事なく、ITOやIZOとのコンタクト抵抗が低い。

さらに、本発明の薄膜トランジスタ基板において、上記配線と上記基体との間にTiN膜を設けたものにあっては、上記配線を構成する銅層の下面と基体の間に上記のようなバリヤー層として作用する被膜が設けられていなくても、あるいは、上記銅層の下面と基体の間の上記被膜の厚みが薄くても、上記配線と上記基体との間にTiN膜が設けられているので、上記基体や隣接膜から配線に元素が拡散してきても上記TiN膜により配線への原子の拡散が阻害され、上記基体や隣接膜からの元素の拡散に起因する配線抵抗の上昇の防止効果が優れる。また、上記TiN膜によって、上記配線の密着性が向上する。

従って、本発明の薄膜トランジスタ基板によれば、低抵抗の銅を配線材料として用いる特性を損なうことなく、水分や酸素に対する耐酸化性を向上でき、しかもエッティング剤やレジスト剥離液などに対する耐性を向上できるので、下地膜との密着性を向上でき、断線不良や腐食を防止でき、また、用いるエッティング剤の自由度が大きいので、銅配線形成後の工程が制約されにくく、さらに、隣接膜との間での元素の相互拡散を防止できるので、絶縁耐圧が良好で半導体能動膜の特性が良好な薄膜トランジスタ基板を提供できる。

本発明の薄膜トランジスタ基板の製造方法は、上記課題を解決するために、チタン、モリブデン、クロム、タンタルのうちから選択されたいずれかの金属膜を形成した基体の上記金属膜上に、銅からなるターゲットを使用して銅膜を成膜し

、該銅膜と上記金属膜とを所望配線形状にパターニングし、ついで前記基体をアニール処理して前記パターニングした銅膜上にチタン、モリブデン、クロム、タンタルのうちから選択された金属の被膜を形成することを特徴とする。

上記の構成の本発明の薄膜トランジスタの製造方法において、上記アニール条件は、400°C乃至1200°C程度で、30分間乃至1時間程度である。アニール温度が400°C未満であると低温すぎて、配線形成用の銅膜中に金属膜中の元素を十分引き込むことができない。1200°Cを越えると、温度が高くなりすぎて、銅膜が融解し抵抗の低い銅配線が形成できない。

本発明の薄膜トランジスタ基板の製造方法によれば、上記のいずれかの構成の本発明の配線を有する薄膜トランジスタ基板を製造できる。それは、チタン、モリブデン、クロム、タンタルのうちから選択されたいずれかの金属膜を形成した基体の金属膜上に、例えば、銅からなるターゲットを使用した2周波励起型スパッタ装置を用いて非酸化雰囲気下で銅膜を成膜する成膜工程により、上記金属膜中の元素を銅膜中に引き込むことができる。この後、該銅膜と上記金属膜とを所望配線形状にパターニングするパターニング工程を行って銅層を形成し、ついで前記基体をアニール処理すると、上記銅膜中に引き込まれた金属元素が上記銅層の表面に拡散するので、上記銅層の周囲にチタン、モリブデン、クロム、タンタルのうちから選択された金属の被膜を形成することができる。このように基体上に形成した金属膜の元素を銅膜形成時に銅膜中に引き込み、さらにアニール処理することにより上記金属膜の元素を銅層の表面に拡散させることにより保護層やバリヤー層として作用する被膜を形成すると、銅層上にスパッタ法等により上記被膜を積層する場合と比べて、配線の厚みを薄くでき、しかもこの配線の被膜は、厚みが薄くても上述のように水分やレジスト剥離液に対する耐酸化性やエッチング剤などに対する耐酸性を十分向上できる。

また、本発明の薄膜トランジスタの製造方法は、上記の課題を解決するために、基体上にTiN膜を成膜し、ついで上記TiN膜上にチタンまたはチタン酸化物からなる膜を成膜し、ついで上記チタンまたはチタン酸化物からなる膜上に銅からなるターゲットを使用して銅膜を成膜して積層膜とし、該積層膜を所望配線形状にパターニングし、ついで上記基体をアニール処理して上記パターニングし

た銅膜上にチタンまたはチタン酸化物からなる被膜を形成することを特徴とする方法であってもよい。ここでチタンまたはチタン酸化物からなる膜の具体例としては、チタン原子数に対する酸素原子数の比が1対0乃至1対2であるチタン系膜などを挙げることができる。また、チタンまたはチタン酸化物からなる被膜の具体例としては、チタン原子数に対する酸素原子数の比が1対0乃至1対2であるチタン被膜などを挙げることができる。

上記の構成の本発明の薄膜トランジスタの製造方法において、上記アニール条件は、300°C乃至1200°C程度で、30分間乃至1時間程度である。アニール温度が300°C未満であると低温すぎて、配線形成用の銅膜中に金属膜中の元素を十分引き込むことができず、銅層の表面に良好なチタンまたはチタン酸化物からなる被膜を形成できない。1200°Cを越えると、温度が高くなりすぎて、銅膜が融解し抵抗の低い銅配線が形成できない。

かかる構成の薄膜トランジスタ基板の製造方法によれば、上記のいずれかの構成の配線がTiN膜を介して設けた薄膜トランジスタ基板を製造できる。それは、チタン系膜をTiN膜を介して形成した基体のチタンまたはチタン酸化物からなる膜上に、例えば、銅からなるターゲットを使用した2周波励起型スパッタ装置を用いて非酸化雰囲気下で銅膜を成膜する成膜工程により、上記チタンまたはチタン酸化物からなる膜中のチタン元素を銅膜中に引き込むことができる。この後、上記チタンまたはチタン酸化物からなる膜と銅膜とからなる積層膜を所望配線形状にパターニングするパターニング工程を行って銅層を形成し、ついで上記基体をアニール処理すると、上記銅膜中に引き込まれたチタン元素を上記銅層の表面に拡散するので、上記銅層の周囲または表面に保護層やバリア層として作用するチタンまたはチタン酸化物からなる被膜を形成することができる。このようにして製造される薄膜トランジスタ基板の配線の被膜は、上記銅層の周囲に形成される場合と、上記銅層の表面に形成される場合があるが、それはチタンまたはチタン酸化物からなる膜の厚みや基体をアニール処理する際のアニール温度等のアニール条件をコントロールすることにより制御できる。

また、上記の薄膜トランジスタの製造方法においては、上記TiN膜上に成膜するチタンまたはチタン酸化物からなる膜の膜厚を10nm乃至20nmとする

ことが好ましい。チタンまたはチタン酸化物からなる膜の膜厚を20nm以下とすることで、抵抗上昇が少なく、配線材料としてCuを用いる効果が顕著に現れる。一方、チタンまたはチタン酸化物からなる膜の膜厚を30nmを超えて厚くしても、配線材料としてAlを用いたときと同じ程度まで抵抗が上昇してしまふため、Cuを用いる意義がなくなってしまう。また、チタンまたはチタン酸化物からなる膜の膜厚が10nm未満では、アニール処理によりCu層の表面に拡散するチタン元素が少なく、銅層の周囲または表面に形成されるチタン原子数に対する酸素原子数の比が1対0乃至1対2であるチタンまたはチタン酸化物からなる被膜の厚みが薄く、保護層やバリヤー層としての効果が十分得られない。

また、上記の薄膜トランジスタの製造方法においては、上記銅膜の成膜前にチタンまたはチタン酸化物からなる膜の表面に生成したチタンの酸化層をプラズマエッティングにより除去することにより、基体をアニール処理して銅膜中に引き込まれたチタン元素を上記銅層の表面に拡散させるためのアニール温度を下げることができる。

また、上記のいずれかの構成の本発明の薄膜トランジスタの製造方法によれば、上記金属膜が形成された基体上あるいは上記チタンまたはチタン酸化物からなる膜がTiN膜を介して形成された基体上に2周波励起スパッタ法により銅膜を成膜する成膜工程と、該銅膜のパターニング工程と、上記基体のアニール工程により、本発明に係わる配線を基体上に容易に形成できるので製造工程が複雑になることがない。

さらに、上記のいずれかの構成の本発明の薄膜トランジスタ基板の製造方法は、低温工程で基体上に本発明の配線を形成できるので、600°C以上の加熱に耐えられないガラス基板などを基体として用いる場合にも適用できる。

また、上記のいずれかの構成の本発明の薄膜トランジスタの製造方法においては、上記被膜に酸素を含有させてもよい。

上記アニール時の雰囲気に酸素を含まないで行うと酸素原子の含有割合が0原子%の被膜が得られ、また、上記アニール時の雰囲気の酸素分圧を順次増やすことにより、被膜中の酸素原子の含有割合を順次増加できる。

本発明に係わる液晶表示装置は、上記課題を解決するために、対向配置された

一对の基板の間に液晶が挟持され、前記一对の基板の一方が上記のいずれかの構成の本発明の薄膜トランジスタ基板であることを特徴とする。

本発明の液晶表示装置によれば、低抵抗配線として銅配線を用いた本発明の薄膜トランジスタ基板が備えられているので、配線抵抗に起因する信号電圧降下や配線遅延が生じにくく、配線が長くなる大面積の表示や配線が細くなる高精細な表示に最適な表示装置等を容易に実現できるという利点がある。また、配線の下地からの剥離がなく、断線不良や腐食の発生がなく、しかも配線と隣接膜との間での元素の相互拡散を防止できる本発明の薄膜トランジスタ基板が備えられているので、特性の良好な液晶表示装置を提供できる。

図面の簡単な説明

図1は、本発明に係わる第1実施形態の液晶表示装置と薄膜トランジスタ基板の断面を示す図である。

図2は、図1の薄膜トランジスタ基板に備えられるゲート電極のその他の例を示す拡大断面図である。

図3は、図1の薄膜トランジスタ基板に備えられるゲート電極のその他の例を示す拡大断面図である。

図4は、本発明に係わる実施形態の薄膜トランジスタ基板の製造方法に好適に用いられる薄膜の製造装置の成膜室を示す構成図である。

図5は、本発明に係わる実施形態の薄膜トランジスタ基板の製造方法に好適に用いられる薄膜の製造装置の全体構成を示す平面図である。

図6は、図5に示す薄膜の製造装置の一部を拡大した側面図である。

図7Aは、本発明に係わる第1実施形態の薄膜トランジスタ基板の製造方法の一工程を示す図である。

図7Bは、本発明に係わる第1実施形態の薄膜トランジスタ基板の製造方法の一工程を示す図である。

図7Cは、本発明に係わる第1実施形態の薄膜トランジスタ基板の製造方法の一工程を示す図である。

図7Dは、本発明に係わる第1実施形態の薄膜トランジスタ基板の製造方法の

一工程を示す図である。

図 8 A は、本発明に係わる第 1 実施形態の薄膜トランジスタ基板の製造方法の一工程を示す図である。

図 8 B は、本発明に係わる第 1 実施形態の薄膜トランジスタ基板の製造方法の一工程を示す図である。

図 8 C は、本発明に係わる第 1 実施形態の薄膜トランジスタ基板の製造方法の一工程を示す図である。

図 9 は、本発明に係わる第 2 実施形態の液晶表示装置と薄膜トランジスタ基板の断面を示す図である

図 10 A は、本発明に係わる第 2 実施形態の薄膜トランジスタ基板の製造方法の一工程を示す図である。

図 10 B は、本発明に係わる第 2 実施形態の薄膜トランジスタ基板の製造方法の一工程を示す図である。

図 10 C は、本発明に係わる第 2 実施形態の薄膜トランジスタ基板の製造方法の一工程を示す図である。

図 10 D は、本発明に係わる第 2 実施形態の薄膜トランジスタ基板の製造方法の一工程を示す図である。

図 11 A は、本発明に係わる第 2 実施形態の薄膜トランジスタ基板の製造方法の一工程を示す図である。

図 11 B は、本発明に係わる第 2 実施形態の薄膜トランジスタ基板の製造方法の一工程を示す図である。

図 11 C は、本発明に係わる第 2 実施形態の薄膜トランジスタ基板の製造方法の一工程を示す図である。

図 12 は、図 9 の薄膜トランジスタ基板に備えられるゲート電極のその他の例を示す拡大断面図である。

図 13 は、図 9 の薄膜トランジスタ基板に備えられるゲート電極のその他の例を示す拡大断面図である。

図 14 は、本発明の係わる第 3 実施形態の薄膜トランジスタ基板の断面を示す図である。

図 1 5 は、エッティング液浸漬後の実施例 1 の配線の表面の金属組織を示す写真である。

図 1 6 は、エッティング液浸漬後の実施例 2 の配線の表面の金属組織を示す写真である。

図 1 7 は、エッティング液浸漬後の比較例 1 の配線の表面の金属組織を示す写真である。

図 1 8 は、実施例 1 の配線のアニール処理前の配線構造をオージェ分析法により調べた結果を示す図である。

図 1 9 は、実施例 1 の配線のアニール処理後の配線構造をオージェ分析法により調べた結果を示す図である。

図 2 0 は、エッティング液浸漬後の実施例 3 の配線の表面の金属組織を示す写真である。

図 2 1 は、エッティング液浸漬後の実施例 4 の配線の表面の金属組織を示す写真である。

図 2 2 は、エッティング液浸漬後の比較例 4 の配線の表面の金属組織を示す写真である。

図 2 3 は、実施例 3 の配線のアニール処理前の配線構造をオージェ分析法により調べた結果を示す図である。

図 2 4 は、実施例 3 の配線のアニール処理後の配線構造をオージェ分析法により調べた結果を示す図である。

図 2 5 は、試験片 1 の構造をオージェ分析法により調べた結果を示す図である。

。

図 2 6 は、試験片 2 の構造をオージェ分析法により調べた結果を示す図である。

。

図 2 7 は、試験片 3 の構造をオージェ分析法により調べた結果を示す図である。

。

図 2 8 は、試験片 4 乃至試験片 8 の積層膜のシート抵抗を調べた結果を示す図である。

図 2 9 は、試験片 4 乃至 7 の a - S i : n⁺層と C u 膜間の金属膜のバリ ヤー

性を調べた結果を示す図である。

図30は、アニール処理前の試験片9の構造と、アニール温度を250°Cから500°Cの範囲で変更したときの試験片9の構造をオージェ分析法により調べた結果を示す。

図31は、アニール処理前の試験片10の構造と、アニール温度を300°Cから500°Cの範囲で変更したときの試験片10の構造をオージェ分析法により調べた結果を示す図である。

図32は、試験片11乃至試験片14の積層膜のシート抵抗を調べた結果を示す図である。

図33は、従来の液晶表示装置に備えられた薄膜トランジスタ基板の一例の画素部を示す平面略図である。

図34は、図33の薄膜トランジスタ基板を示す断面図である。

発明を実施するための最良の形態

以下に本発明の各実施形態を詳細に説明するが、本発明はこれらの実施形態に限定されるものではない。

(第1実施形態)

図1は本発明の液晶表示装置の第1実施形態の要部を示すもので、この第1実施形態の液晶表示装置30は、本発明の薄膜トランジスタ基板の実施形態のボトムゲート型の薄膜トランジスタ基板31と、この薄膜トランジスタ基板31に平行に隔離して設けられた透明の対向基板32と、上記薄膜トランジスタ基板31と対向基板32との間に封入された液晶層33を具備して構成されている。

上記薄膜トランジスタ基板31には、図33に示した従来の構造と同様に縦列の多数のソース配線と横列の多数のゲート配線が、対向基板32の上面側から平面視した場合にマトリクス状になるように配列形成され、ソース配線とゲート配線とで囲まれた多数の領域のそれぞれが画素部とされ、各画素部に対応する領域にそれぞれITO(インジウムスズ酸化物)等の透明導電材料からなる画素電極35が形成されるとともに、各画素電極35の近傍にボトムゲート型の薄膜トランジスタが設けられている。

図1はソース配線とゲート配線とで囲まれた1つの画素部に対応する領域に設けられた薄膜トランジスタの部分とその周囲部分を拡大して示すもので、薄膜トランジスタ基板31には画素部が多数整列形成されて液晶表示装置30としての表示画面が構成されている。

この形態の薄膜トランジスタ基板31にあっては、各画素部において少なくとも表面が絶縁性である基板（基体）36上にゲート電極40が設けられ、このゲート電極40と基板36を覆ってゲート絶縁膜41が設けられ、ゲート電極40上のゲート絶縁膜41上にゲート電極（配線）40よりも小さな半導体能動膜42が積層され、この半導体能動膜42の両端部上にn⁺層などからなるオームックコンタクト膜43、44が、半導体能動膜42の端部と位置を合わせ、半導体能動膜42の中央部側に間隙をあけて相互に隔離して積層されている。ここで基板36としては、ガラス基板や、表面にSiN_x膜36aが形成された基板を用いることもできる。

ここでゲート電極40は、銅層40aの周囲に被膜40bを有してなるものである。被膜40bは、チタンまたはチタン酸化物からなる被膜、モリブデンまたはモリブデン酸化物、クロムまたはクロム酸化物からなる被膜、タンタルまたはタンタル酸化物からなる被膜のうちいずれかの被膜である。上記チタンまたはチタン酸化物からなる被膜の具体例としては、チタン原子数に対する酸素原子数の比が1対0乃至1対2である組成の被膜が挙げられる。また、上記モリブデンまたはモリブデン酸化物からなる被膜の具体例としては、モリブデン原子数に対する酸素原子数の比が1対0乃至1対3である組成の被膜が挙げられる。また、上記クロムまたはクロム酸化物からなる被膜の具体例としては、クロム原子数に対する酸素原子数の比が1対0乃至1対1.5である組成の被膜が挙げられる。また、上記タンタルまたはタンタル酸化物からなる被膜の具体例としては、タンタル原子数に対する酸素原子数の比が1対0乃至1対2.5である組成の被膜のうちのいずれかの被膜が挙げられる。

上記被膜40bは、チタン膜と、チタン酸化物からなる膜とを有してなるものであってもよく、具体例としては、チタン膜と、チタン原子数に対する酸素原子数の比が1対1乃至1対2である組成の膜とを有してなるものであってもよく、

より具体的には図2に示すように銅層40aの周囲に形成されたチタン膜40fと該チタン膜40fの表面に形成されたチタン原子数に対する酸素原子数の比が1対1乃至1対2である組成の膜などのチタン酸化物からなる膜40gとを有してなるものや、図3に示すように銅層40aの周囲の一部に形成されたチタン膜40hと、銅層40aの周囲の残部に形成されたチタン原子数に対する酸素原子数の比が1対1乃至1対2である組成の膜などのチタン酸化物からなる膜40iとを有してなるものであってもよい。

また、上記被膜40は、クロム膜と、クロム酸化物からなる膜とを有してなるものであってもよく、具体例としては、クロム膜と、クロム原子数に対する酸素原子数の比が1対1乃至1対2である組成の膜とを有してなるものであってもよく、より具体的には、銅層40aの周囲に形成されたクロム膜と、該クロム膜の表面に形成されたクロム原子数に対する酸素原子数の比が1対1乃至1対2である組成の膜などクロム酸化物からなる膜とを有してなるものや、銅層40aの周囲の一部に形成されたクロム膜と、銅層40aの周囲の残部に形成されたクロム原子数に対する酸素原子数の比が1対1乃至1対2である組成の膜などのクロム酸化物からなる膜とを有してなるものであってもよい。

次に、図1の左側（図1に示す画素電極35から離れた側）のオーミックコンタクト膜43の上面と左側面とその下の半導体能動膜42の左側面とそれらに連続するゲート絶縁膜41の上面の一部分を覆って、即ち、半導体能動膜42とオーミックコンタクト膜43の重なり部分（重畠部分）を覆ってソース電極46が形成されている。ここでソース電極46は、銅層46aの周囲に被膜46bを有してなるものである。被膜46bは、上記ゲート電極40の被膜40bと同様の被膜からなるものである。また、この被膜46bは、ゲート電極40の被膜40bと同様に、チタン膜と、チタン原子数に対する酸素原子数の比が1対1乃至1対2である組成の膜などのチタン酸化物からなる膜とを有してなるものであってもよい。

また、図1の右側（図1に示す画素電極35に近い側）のオーミックコンタクト膜44の上面と右側面とその下の半導体能動膜42の右側面とそれらに連続するゲート絶縁膜41の上面の一部分を覆って、即ち、半導体能動膜42とオーミ

ックコンタクト膜43の重畠部分を覆ってドレイン電極48が形成されている。ここでのドレイン電極48は、銅層48aの周囲に被膜48bを有してなるものである。被膜48bは、上記ゲート電極40の被膜40bと同様の被膜からなるものである。また、この被膜48bは、ゲート電極40の被膜40bと同様に、チタン膜と、チタン原子数に対する酸素原子数の比が1対1乃至1対2である組成の膜などのチタン酸化物からなる膜とを有してなるものであってもよい。

また、これらの各膜の上にはこれらを覆ってパッシベーション膜49が設けられ、ドレイン電極48の右側端部上のパッシベーション膜49上には画素電極35が形成されていて、この画素電極35はパッシベーション膜49に形成されたコンタクトホール（導通孔）50に設けた接続導体部51を介してドレイン電極48に接続されている。

一方、薄膜トランジスタ基板31に対して設けられている対向基板32の液晶側には、対向基板32側から順にカラーフィルタ52と共通電極膜53とが積層されている。上記カラーフィルタ52は、表示に寄与しない薄膜トランジスタ部分やゲート配線部分およびソース配線部分を覆い隠すためのブラックマトリクス54と、画素電極35を設けた画素領域で表示に寄与する部分を通過する光を透過させ、更に、カラー表示をするためのカラー画素部55を主体として構成されている。これらのカラー画素部55は、液晶表示装置がカラー表示の構造の場合に必要とされ、画素部毎に設けられているが、隣接する画素部において色違いとなるように、例えば、R（赤）、G（緑）、B（青）の3元色のものが色の偏りがないように規則的にあるいはランダムに配置される。

なお、図1に示す断面構造では薄膜トランジスタ基板31の液晶側と対向基板32の液晶側に設けられる配向膜は省略してあるとともに、薄膜トランジスタ基板31の外側と対向基板32の外側に設けられる偏光板を省略してある。

図1に示す液晶表示装置30に備えられた薄膜トランジスタ基板31にあっては、後工程で他の層をエッチングする際に使用される酸化力のある酸系エッチング剤がゲート電極40やソース電極46やドレイン電極48にまでしみ込んで来ても銅層40a、46a、48aの周囲にそれぞれ保護層として作用する上記被膜40b、46b、48bが形成されているので、各電極がエッチング剤により損

傷を受けにくく、各電極が下地から剥離するのを防止できるうえ断線不良の発生を防止でき、また、用いるエッティング剤の自由度が大きい。

また、フォトリソグラフィー工程で使用されるレジスト剥離液がゲート電極40やソース電極46やドレイン電極48にまでしみ込んで来ても銅層40a, 46a, 48aの周囲にそれぞれ上記被膜40b, 46b, 48bが形成されているので、レジスト剥離液により各電極の表面の腐食を防止できる。

また、ゲート電極40やソース電極46やドレイン電極48は、銅層40a, 46a, 48aの外周面にそれぞれ上記被膜40b, 46b, 48bが形成されているので、エッティング前に水分の存在により各電極の表面に酸化層が形成されることがなくなり、酸化力のないエッティング剤により損傷を受けにくく、断線不良の発生を防止できる。また、ゲート電極40やソース電極46やトレイン電極48は、それぞれ被膜40b, 46b, 48bを有しているので、これら電極上にCVD法等により絶縁膜41やパッシベーション膜49を形成する際に、電極40, 46, 48を構成するCuと絶縁膜等の形成材料のSiH₄ガスとの反応を防止できるので、上記反応に起因して銅層の表面に針状突起が生じることがなく、該針状突起により絶縁抵抗不良が起こるのを防止できる。

また、ゲート電極40やソース電極46やドレイン電極48は、銅層40a, 46a, 48aの外周面にそれぞれバリヤー層として作用する上記被膜40b, 46b, 48bが形成されているので、基体36からSiが拡散してきても上記被膜40bによりゲート電極40への原子の拡散が阻害され、ゲート電極40の抵抗の上昇を防止でき、また、銅層40aからCu原子がゲート絶縁膜41に拡散しようとしても被膜40bにより上記Cu原子のゲート絶縁膜41への拡散が阻害され、銅層40aからのCu原子の拡散に起因する絶縁耐圧不良を防止でき、銅層46a, 48aからCu原子が半導体能動膜42に拡散しようとしても被膜46b, 48bにより上記Cu原子の拡散が阻害され、銅層46a, 48aからのCu原子の拡散に起因する半導体能動膜42の特性の劣化を防止できる。

また、電極48は、ITOからなる画素電極と直接接触させても、配線材料としてアルミニウムを用いる場合のようにITO中の酸素が電極48を酸化することなく、ITOとのコンタクト抵抗が低い。

従って、実施形態の薄膜トランジスタ基板31によれば、低抵抗の銅を配線材料として用いる特性を損なうことなく、水分や酸素に対する耐酸化性を向上でき、しかもエッティング剤やレジスト剥離液などに対する耐性を向上できるので、下地膜との密着性を向上でき、断線不良や腐食を防止でき、また、用いるエッティング剤の自由度が大きいので、銅配線形成後の工程が制約されにくく、さらに、隣接膜との間での元素の相互拡散を防止できるので、絶縁耐圧が良好で半導体能動膜の特性が良好な薄膜トランジスタ基板を提供できる。

第1実施形態の液晶表示装置30によれば、上述のような薄膜トランジスタ基板31が備えられているので、配線抵抗に起因する信号電圧降下や配線遅延が生じにくく、配線が長くなる大面積の表示や配線が細くなる高精細な表示に最適な表示装置を容易に実現できるという利点がある。また、下地からの配線の剥離がなく、断線不良や腐食の発生がなく、しかも配線と隣接膜との間での元素の相互拡散を防止できる薄膜トランジスタ基板31が備えられているので、特性の良好な液晶表示装置を提供できる。

次に、本発明の薄膜トランジスタ基板の製造方法を図1に示す構造の薄膜トランジスタ基板を製造する方法に適用した実施形態例について説明する。

図4は、第1実施形態の薄膜トランジスタ基板の製造方法に好適に用いられる薄膜の製造装置の成膜室を示す概略構成図であり、図5は、薄膜の製造装置の全体構成を示す平面図であり、図6は、図5に示す薄膜の製造装置の一部を拡大した側面図である。

図4は、減圧状態に保持可能な成膜室を示し、この成膜室60は、図5に示すように搬送室61の側部にゲートバルブ62を介して接続されている。

上記搬送室61の周囲には成膜室60の他に、ロータ一室63とアンロータ一室64とストッカーチャンバ65がそれぞれ搬送室61を囲むように接続され、搬送室61とその周囲の各室との間にはそれぞれゲートバルブ66、67、68が設けられている。以上の説明のように、成膜室60と搬送室61とロータ一室63とアンロータ一室64とストッカーチャンバ65により薄膜の製造装置A'が構成されている。

上記成膜室60は、図4に示すように、その上部に第1の電極70が設けられ

、第1の電極70の底面にターゲット71が着脱自在に装着されているとともに、成膜室60の底部には第2の電極72が設けられ、第2の電極72の上面に少なくとも表面が絶縁性である基板36が着脱自在に装着されている。

上記ターゲット71をなす材料としては、ゲート電極40、ソース電極46、ドレイン電極48を形成する場合、チタン、モリブデン、クロム、タンタルのうちから選択されたいずれかの金属と、銅が用いられ、a-Si:n⁺層を形成する場合、n型a-Si:n⁺生成用のPドープSiが用いられる。上記基板36としては、薄膜トランジスタ基板を製造する場合にはガラス基板を好適に用いることができる。なお、上記ターゲット71の装着には静電チャックなどの通常知られたターゲット装着機構を用いることができる。

上記第1の電極70は、導電性材料からなる母体70aとこの母体70aの表面に形成された酸化膜、窒化膜あるいはフッ化膜などからなる保護層70bとから構成されている。

そして、上記第1の電極70には第1の交流電源75が接続されるとともに、第1の電極70と第1の交流電源75との間には整合回路75aが組み込まれていて、この整合回路75aは高周波電力の反射波をゼロにする作用を奏する。また、第1の電極70には、インピーダンス調整用のローパスフィルタなどのバンドパスフィルタ77を介して直流電源78が接続されている。このバンドパスフィルタ77は、直流電源78に高周波が乗らないように回路のインピーダンスを無限大に調整するものである。

更に、上記第2の電極72にも第2の交流電源80が接続されるとともに、第2の電極72と第2の交流電源80の間には上記整合回路75aと同様の作用を奏する整合回路80aが組み込まれている。

なお、上記成膜室60には、真空引き用およびガス排気用の排気ユニット60a、成膜室60内への反応ガス供給機構60b等を含んでいるが図4では説明の簡略化のためにこれらを簡略化して記載した。

次に、上記搬送室61には、リンク式の搬送機構（マジックハンド）69が設けられ、この搬送機構69は搬送室61の中心部に立設された支軸74を支点として回動自在に設けられ、ストッカーチャンバー65に配置されているカセット7

9からターゲット71を取り出して必要に応じて成膜室60に搬送し、成膜室60の第1の電極70にターゲット71を装着できるようになっている。

なお、上記カセット79にはダミーターゲット71aも収納されていて、必要に応じてダミーターゲット71aも成膜室60に搬送できるようになっている。

図4乃至図6に示す薄膜の製造装置は、1つの成膜室60で1つ以上の薄膜（例えば、ゲート電極40を形成するための金属膜と銅膜と、ゲート絶縁膜41と、半導体能動膜42と、オーミックコンタクト膜43、44と、ソース電極46を形成するための金属膜と銅膜と、ドレイン電極48を形成するための金属膜と銅膜、パッシベーション膜49）を連続成膜することができる装置である。

即ち、成膜室60において、CVD成膜（ゲート絶縁膜・半導体能動膜・パッシベーション膜49の成膜）とスパッタ成膜（オーミックコンタクト膜・ゲート電極を形成するための金属膜と銅膜・ソース電極を形成するための金属膜と銅膜・ドレイン電極を形成するための金属膜と銅膜の成膜）を電源を切り替えることにより行なうことができる。

まず、成膜室60と搬送室61とストッカーチャンバ65を減圧したならば、ゲートバルブ62と68を開放して搬送機構69によりガラス基板36を第2の電極72に装着する。この状態からゲートバルブ62を閉じたならば、以下の工程に準じて基板36上にゲート電極40などの薄膜を順次形成する。

（1-1）ゲート電極用金属膜の成膜工程

成膜室60をArガス雰囲気とし、第1の電極70にチタン、モリブデン、クロム、タンタルのうちから選択されたいずれかの金属からなるターゲット71を装着し、第2の電極72にはガラス基板36を装着したままで、第1の交流電源75から第1の電極70に周波数13.6MHz程度の高周波を供給し、更に直流電源78から負荷する負荷電位を-200Vにしてスパッタリングを行ない、図7Aに示すように基板36上に膜厚50nm程度の金属膜40eを形成する。

なお、金属膜40eの表面には、該金属膜40を構成する金属元素と成膜室60内の残留酸素が反応して金属の酸化層が形成されている場合があるため、その場合にはこの金属の酸化層を、プラズマエッティングにより除去しておくことが好ましい。ここでのプラズマエッティングは、成膜室60をArガス雰囲気とし、第

1の電極70にダミーターゲット71aを装着し、第2の電極72には金属膜40eを形成したガラス基板36を装着したままで、第1の交流電源75から第1の電源70に高周波を供給し、負荷電位をフローティングしてプラズマを発生させるとともに、第2の電極72に高周波電力を供給し基板36に200W程度の交流電力を2分程度印加することにより行われる。

(1-2) ゲート電極用銅膜の2周波励起スパッタ成膜工程

成膜室60を非酸化雰囲気としてArガス雰囲気とし、第1の電極70に銅からなるターゲット71を装着し、第2の電極にはガラス基板36を装着したままで、直流電源78を作動させて直流電力をターゲット71に印加するとともに第2の交流電源80を作動させて交流電力をガラス基板36に印加する2周波励起スパッタ法により、銅膜のスパッタ成膜を行い、図7Bに示すように基板36に形成された金属膜40e上に膜厚150nm程度の銅膜40cを形成する。この工程では、基板36に印加する交流電力は、0.1乃至5W/cm²程度である。このようにすると、銅膜40cを構成するCuの結晶の粒径を小さくできるので、Cuの結晶の粒界が多くなり、上記金属膜40e中の元素が銅膜40c中に引き込まれ、この引き込まれた元素の拡散が促進される。

(1-3) ゲート電極用金属膜及び銅膜のパターニング工程

銅膜40cの表面にレジストを塗布してパターン露光し、エッチングにより銅膜40cと金属膜40eの不要部分を除去した後にレジストを剥離するパターニングを施して、図7Cに示すような所望の線幅の銅層（銅配線）40aと金属膜40eの積層膜を形成する。

(1-4) 基板（基体）の第一アニール工程

銅層40aと金属膜40eの積層膜が形成された基板36をArガス雰囲気でアニール処理し、上記銅層40a中に引き込まれた金属膜40eの金属元素を上記銅層40aの表面に拡散し、図7Dに示すような上記銅層40aの周囲にチタン、モリブデン、クロム、タンタルのうちから選択された金属の被膜40bが形成されたゲート電極40を得る。ここで形成された被膜40bの厚みは、5nm乃至20nm程度である。

ここでのアニール処理条件は、400℃程度で2時間程度である。

また、アニール時の雰囲気に酸素を含ませないで行うと酸素原子の含有割合が0原子%の被膜40bが得られ、また、上記アニール時の雰囲気の酸素分圧を順次増やすことにより、被膜40b中の酸素原子の含有割合を順次増加できる。

従って、基板36上にチタンからなる金属膜40eを形成した場合は、チタンまたはチタン酸化物からなる被膜40bが形成され、より具体的には、チタン原子数に対する酸素原子数の比が1対0乃至1対2である組成の被膜40bが形成され、モリブデンからなる金属膜40eを形成した場合は、モリブデンまたはモリブデン酸化物からなる被膜40bが形成され、より具体的にはモリブデン原子数に対する酸素原子数の比が1対0乃至1対3である組成の被膜40bが形成され、クロムからなる金属膜40eを形成した場合はクロムまたはクロム酸化物からなる被膜40bが形成され、より具体的にはクロム原子数に対する酸素原子数の比が1対0乃至1対2である組成の被膜40bが形成され、タンタルからなる金属膜40eを形成した場合はタンタルまたはタンタル酸化物からなる被膜40bが形成され、より具体的にはタンタル原子数に対する酸素原子数の比が1対0乃至1対2.5である組成の被膜40bが形成される。

また、チタンからなる金属膜40eの厚みや、アニール温度を400°C乃至1200°Cの範囲、アニール時間30分間乃至1時間の範囲で変更することにより、図2に示すように銅層40aの周囲に形成されたチタン膜40fと該チタン膜40fの表面に形成されたチタン原子数に対する酸素原子数の比が1対1乃至1対2である組成の膜などのチタン酸化物からなる膜40gとを有してなる被膜40bや、図3に示すように銅層40aの周囲の一部に形成されたチタン膜40hと、銅層40aの周囲の残部に形成されたチタン原子数に対する酸素原子数の比が1対1乃至1対2である組成の膜などのチタン酸化物からなる膜40iとを有してなる被膜40bを形成できる。

(1-5) ゲート絶縁膜(窒化ケイ素膜)41のCVD成膜工程

成膜室60をSiH₄+NH₃+N₂混合ガス雰囲気とし、第1の電極70にダミーターゲット71aを装着し、第1の交流電源75から第1の電極70に周波数200MHzの高周波を供給し、負荷電位をフローティングしてプラズマを発生させて窒化ケイ素膜を基板36上に堆積させるCVD成膜を行ない、図8Aに

示すようなゲート絶縁膜41を形成する。このCVD成膜の場合は、第1の電極70に装着されたダミーターゲット71aをスパッタしないように供給する周波数を大きく設定し、第1の電極70にかかるイオンエネルギーを小さくするとともに、第2の電極72に高周波電力を供給し、基板36にかかるイオンエネルギーを制御する。

(1-6) 半導体能動膜(a-Si層)42のCVD成膜工程

成膜室60をSiH₄+H₂混合ガス雰囲気とし、第1の電極70にダミーターゲット71aを装着したままで第1の交流電源75から第1の電極70に周波数200MHz程度の高周波を供給し、更に、第2の交流電源80から第2の電極72に高周波電力を供給し、ガラス基板36にかかるイオンエネルギーを制御してa-Si層の成膜を行い、半導体能動膜42を形成する。

(1-7) オーミックコンタクト膜(a-Si:n⁺層)43aのスパッタ成膜工程

成膜室60をArガス雰囲気とし、第1の電極70にa-Si:n⁺層生成用のPドープSiからなるターゲット71を装着し、第1の交流電源75から第1の電極70に周波数13.6MHz程度の高周波を供給し、更に直流電源78から負荷する負荷電位を-200Vにしてスパッタリングを行ない、半導体能動膜42上にオーミックコンタクト膜43aを形成する。

(1-8) 半導体能動膜とオーミックコンタクト膜のパターニング工程

オーミックコンタクト膜43aの表面にレジストを塗布してパターン露光し、エッチングにより不要部分を除去した後にレジストを剥離するパターニングを施して、図8Aに示すようにゲート電極40よりも小さいアイランド状の半導体能動膜42とオーミックコンタクト膜43aを得る。半導体能動膜42と、オーミックコンタクト膜43aの形成位置は、ゲート電極40上のゲート絶縁膜41においてゲート電極40と対向する位置である。

(1-9) ソース電極及びドレイン電極用金属膜の成膜工程

図8Aに示すようにオーミックコンタクト膜43aの上面と両側面とその下の半導体能動膜42の両側面とそれらに連続するゲート絶縁膜41の上面の一部分を覆うように、膜厚50nm程度の金属膜46eを上述のゲート電極用金属膜の

成膜工程と同様にして形成する。なお、金属膜46eの表面には、金属の酸化層が形成されている場合があるため、その場合にはこの金属の酸化層を、先に述べた金属膜40eをプラズマエッチングする方法と同様にして除去しておくことが好ましい。

(1-10) ソース電極及びドレイン電極用銅膜の2周波励起スパッタ成膜工程

図8Aに示すように金属膜46e上に膜厚150nm程度の銅膜46cを上述のゲート電極用銅膜の2周波励起スパッタ成膜工程と同様にして形成する。このようにすると、上記金属膜46e中の元素が銅膜46c中に引き込まれる。

(1-11) ソース電極及びドレイン電極用金属膜及び銅膜と、半導体能動膜とオームックコンタクト膜のパターニング工程

半導体能動膜42の中央部分の上部をエッチングにより除去し、半導体能動膜42の中央部分上のオームックコンタクト膜43aと金属膜43aと銅膜46eを除去することで、図8Bに示すように半導体能動膜42の両端部分上に相互に離隔したオームックコンタクト膜43, 44と、ソース電極46形成用金属膜46e及び銅層46aと、ドレイン電極48形成用金属膜46eと銅層48aとを形成することができる。

(1-12) 基板の第二アニール工程

ソース電極46形成用金属膜46e及び銅層46aと、ドレイン電極48形成用金属膜46eと銅層48aとが形成された基板36を先に行った基板の第一アニール工程と同様にしてアニール処理し、上記銅層46a, 48a中に引き込まれた金属膜46eの金属元素を上記銅層46a, 48aの表面に拡散し、図8Cに示すような銅層46a, 48aの周囲にチタン、モリブデン、クロム、タンタルのうちから選択された金属の被膜46b, 48bが形成されたソース電極46とドレイン電極48が得られる。ここで形成される被膜46b, 48bは、ゲート電極40の被膜40bと同様に、上述の割合で酸素が含まれていてもよい。

また、ゲート電極40の被膜40bを形成する場合と同様に金属膜46eの厚みや、アニール条件を変更することにより、銅層の周囲に形成されたチタン膜と該チタン膜の表面に形成されたチタン原子数に対する酸素原子数の比が1対1乃至1対2である組成の膜などのチタン酸化物からなる膜とを有してなる被膜46

b, 48 bや、銅層の周囲の一部に形成されたチタン膜と、銅層の周囲の残部に形成されたチタン原子数に対する酸素原子数の比が1対1乃至1対2である組成の膜などのチタン酸化物からなる膜40 iとを有してなる被膜46 b, 48 bを形成できる。

(1-13) パッシベーション膜49のCVD成膜工程

半導体能動膜42とソース電極46とドレイン電極48を覆うように窒化ケイ素からなるパッシベーション膜49をゲート絶縁膜41のCVD成膜工程とほぼ同様にして成膜する。

(1-14) 画素電極形成工程

ついで、パッシベーション膜49を乾式法あるいは乾式法と湿式法の併用によりエッティングしてコンタクトホール50を形成した後、パッシベーション膜49上にITO層を形成し、パターニングすることにより画素電極35を形成し、図1に示すようにコンタクトホール50の底面および内壁面、パッシベーション膜49の上面にかけて接続導体部51を形成し、この接続導体部51を介してドレイン電極48と画素電極35を接続すると、図1と同様の薄膜トランジスタ基板31が得られる。

なお、基板36として表面にSiNx膜36aが形成されたものを用いる場合は、基板36上に金属膜40eを形成する前に、上述のゲート絶縁膜41のCVD成膜工程と同様の方法でSiNx膜を成膜しておく。

なお、ソース配線については図面に記載していないが、ゲート絶縁膜41上にソース電極46を形成する場合の成膜時とアニール時およびエッティング時に同時に形成すれば良い。

上述のような薄膜トランジスタ基板31の製造によれば、上記金属膜が形成された基板36上に2周波励起スパッタ法により銅膜を成膜する成膜工程と、該銅膜のパターニング工程と、上記基板のアニール工程により、水分や酸素に対する耐酸化性を向上でき、しかもエッティング剤やレジスト剥離液などに対する耐腐食性を向上でき、下地との密着性を向上でき、さらに隣接膜との間での元素の相互拡散を防止できるゲート電極40、ソース電極46、ドレイン電極48を基板36上に容易に形成できるので製造工程が複雑になることがない。

さらに、本発明の薄膜トランジスタ基板の製造方法は、低温工程で基板36上に上述のような特性を有するゲート電極40、ソース電極46、ドレイン電極48を形成できるので、600°C以上の加熱に耐えられないガラス基板などを基体として用いる場合にも適用できる。

なお、上述の実施形態の薄膜トランジスタ基板の製造方法においては、図4に示したようなプラズマ装置を構成する処理室内で電極の被膜用の金属膜を形成した場合について説明したが、上記金属膜は通常のスパッタ装置で形成してもよい。

(第2実施形態)

図9は本発明の液晶表示装置の第2実施形態の要部を示すもので、この第2実施形態の液晶表示装置30aが図1に示した第1実施形態の液晶表示装置30と異なるところは、薄膜トランジスタ基板として図9に示すような構成のボトムゲート型の薄膜トランジスタ基板31aが備えられている点である。

この薄膜トランジスタ基板31aが図1に示した薄膜トランジスタ基板31と異なるところは、ゲート電極40のガラス基板36側の面にTiN層45aが設けられ、ソース電極46のオーミックコンタクト膜43側の面にTiN層47aが設けられ、ドレイン電極48のオーミックコンタクト膜44側の面にTiN層47bが設けられている点である。ここでソース電極46はTiN層47aを介してオーミックコンタクト膜43と半導体能動膜42に電気的に接続されている。ドレイン電極48はTiN層47bを介してオーミックコンタクト膜44と半導体能動膜42に電気的に接続されている。

第2実施形態の薄膜トランジスタ基板31aにあっては、上記のような構成としたことにより第1実施形態の薄膜トランジスタ31と同様の作用効果がある。さらに、この第2実施形態のものは、電極40、46、48と基板36との間にTiN層45a、47a、47bが設けられているので、各電極の下側の隣接膜である基板36やゲート絶縁膜41などから元素が拡散してきてもTiN層45a、47a、47bにより電極40、46、48への原子の拡散が阻害され、基板36や隣接膜からの元素の拡散に起因する配線抵抗の上昇の防止効果が優れる。また、TiN層45a、47a、47bによって、電極40、46、48の密

着性が向上する。

この薄膜トランジスタ基板31aも図4乃至図6に示した薄膜の製造装置を用いて製造できる。

以下に第2実施形態の薄膜トランジスタ基板31aの製造方法について詳しく説明する。

(2-1) ゲート電極用TiN膜の成膜工程

成膜室60をNを含むガス雰囲気とし、第1の電極70にチタンからなるターゲット71を装着し、第2の電極72にはガラス基板36を装着し、第1の交流電源75から第1の電極70に周波数13.6MHz程度の高周波を供給し、更に直流電源78から負荷する負荷電位を-200Vにしてスパッタリングを行ない、図10Aに示すように基板36上に膜厚50nm程度のTiN膜45を形成する。ここでNを含むガス雰囲気としては、N₂、N₂O、NO₂などのガスと、Arガスの混合ガスが用いられる。

(2-2) ゲート電極用金属膜の成膜工程

成膜室60をNを含むガス雰囲気からArガス雰囲気に変更し、第1の電極70に装着するターゲット71をチタン、モリブデン、クロム、タンタルのうちから選択されていざれかの金属からなるものに変更し、上記(1-1)ゲート電極用金属の成膜工程と同様の方法により、図10Bに示すように基板36に形成されたTiN膜45上に膜厚50nm程度の金属膜40eを形成する。

(2-3) ゲート電極用銅膜の2周波励起スパッタ成膜工程

上記(1-2)の2周波励起スパッタ成膜工程と同様の方法により、図10Bに示すように金属膜40e上に膜厚150nm程度の銅膜40cを成膜してTiN膜45と金属膜40eと銅膜40cとからなる積層膜57を形成する。このようにすると、上記金属膜40e中の元素が銅膜40c中に引き込まれる。

(2-4) ゲート電極用TiN膜及び金属膜及び銅膜のパターニング工程

上記(1-3)のパターニング工程と同様の方法により積層膜57にパターニングを施して、図10Cに示すような所望の線幅のTiN層45aと金属膜40eと銅層40aとからなる積層膜を形成する。

(2-5) 基板(基体)の第一アニール工程

TiN層45aと金属膜40eと銅層40aとの積層膜が形成された基板36を上記(1-4)の第一アニール工程と同様にしてアニール処理し、上記銅層40a中に引き込まれた金属膜40eの金属元素を上記銅層40aの表面に拡散し、図10Dに示すような上記銅層40aの周囲にチタン、モリブデン、クロム、タンタルのうちから選択された金属の被膜40bが形成されたゲート電極40を得る。

なお、上記TiN層45aはゲート電極40と基板36との間に介在されたままである。

(2-6) ゲート絶縁膜(窒化ケイ素膜)41のCVD成膜工程

上記(1-5)のゲート絶縁膜のCVD成膜工程と同様にして窒化ケイ素膜を基板36上に堆積させるCVD成膜を行ない、図11Aに示すようなゲート絶縁膜41を形成する。

(2-7) 半導体能動膜(a-Si層)42のCVD成膜工程

上記(1-6)の半導体能動膜のCVD成膜工程と同様にしてゲート絶縁膜41上にa-Si層の成膜を行い、半導体能動膜42を形成する。

(2-8) オーミックコンタクト膜(a-Si:n⁺層)43aのスパッタ成膜工程

上記(1-7)のオーミックコンタクト膜のスパッタ工程と同様にして半導体能動膜42上にオーミックコンタクト膜43aを形成する。

(2-9) 半導体能動膜とオーミックコンタクト膜のパターニング工程

上記(1-8)のパターニング工程と同様にして半導体能動膜42とオーミックコンタクト膜43aにパターニングを施して、図11Aに示すようにゲート電極40よりも小さいアイランド状の半導体能動膜42とオーミックコンタクト膜43aを得る。

(2-10) ソース電極及びドレイン電極用TiN膜の成膜工程

成膜室60を上記(2-1)の工程と同様にNを含むガス雰囲気とし、第1の電極70にチタンからなるターゲット71を装着し、第2の電極72にはガラス基板36を装着したままで、第1の交流電源75から第1の電極70に周波数13.6MHz程度の高周波を供給し、更に直流電源78から負荷する負荷電位を

−200Vにしてスパッタリングを行ない、図11Aに示すようにオーミックコンタクト膜43aの上面と両側面とその下の半導体能動膜42の両側面とそれらに連続するゲート絶縁膜41の上面の一部分を覆うように、膜厚50nm程度のTiN膜47を形成する。

(2-11) ソース電極及びドレイン電極用金属膜の成膜工程

図11Aに示すようにTiN膜47上に膜厚50nm程度の金属膜46eを上述のゲート電極用金属膜の成膜工程と同様にして形成する。

(2-12) ソース電極及びドレイン電極用銅膜の2周波励起スパッタ成膜工程

図11Aに示すように金属膜46e上に膜厚150nm程度の銅膜46cを上述のゲート電極用銅膜の2周波励起スパッタ成膜工程と同様にして形成し、TiN膜47と金属膜46eと銅膜46cとからなる積層膜58を得る。このようにすると、上記金属膜46e中の元素が銅膜46c中に引き込まれる。

(2-13) ソース電極及びドレイン電極用TiN膜と金属膜及び銅膜と、半導体能動膜とオーミックコンタクト膜のパターニング工程

半導体能動膜42の中央部分の上部をエッティングにより除去し、半導体能動膜42の中央部分上のオーミックコンタクト膜43aとTiN膜47と金属膜43aと銅膜46eを除去することで、図11Bに示すように半導体能動膜42の両端部分上に相互に離隔したオーミックコンタクト膜43, 44と、ソース電極46形成用TiN層47aと金属膜46e及び銅層46aと、ドレイン電極48形成用TiN層47bと金属膜46eと銅層48aとを形成することができる。

(2-14) 基板の第二アニール工程

ソース電極46形成用TiN層47aと金属膜46e及び銅層46aと、ドレイン電極48形成用TiN層47bと金属膜46eと銅層48aとが形成された基板36を先に行った基板の第一アニール工程と同様にしてアニール処理し、上記銅層46a, 48a中に引き込まれた金属膜46eの金属元素を上記銅層46a, 48aの表面に拡散し、図11Cに示すような銅層46a, 48aの周囲にチタン、モリブデン、クロム、タンタルのうちから選択された金属の被膜46b, 48bが形成されたソース電極46とドレイン電極48が得られる。

(2-15) パッシベーション膜49のCVD成膜工程

半導体能動膜42とソース電極46とドレイン電極48を覆うように窒化ケイ素からなるパッシベーション膜49をゲート絶縁膜41のCVD成膜工程とほぼ同様にして成膜する。

(2-16) 画素電極形成工程

ついで、パッシベーション膜49を乾式法あるいは乾式法と湿式法の併用によりエッチングしてコンタクトホール50を形成した後、パッシベーション膜49上にITO層を形成し、パターニングすることにより画素電極35を形成し、図9に示すようにコンタクトホール50の底面および内壁面、パッシベーション膜49の上面にかけて接続導体部51を形成し、この接続導体部51を介してドレイン電極48と画素電極35を接続すると、図9と同様の薄膜トランジスタ基板31aが得られる。

上述のような薄膜トランジスタ基板の製造方法によれば、図9に示すような構造の薄膜トランジスタ基板31aを製造できる。

なお、ここでの薄膜トランジスタの製造方法において、金属膜40e、46eの厚みを変更したり、基板36をアニール処理する際のアニール温度を500°C以上とすると、基板36と各銅層の間の金属膜40e、46eを構成するチタンなどの金属元素のほぼ全てを銅層40a、46a、48aの表面に拡散させることができ、例えば、図12に示すような銅層40aの表面に、チタン原子数に対する酸素原子数の比が1対0乃至1対2である組成の被膜40bを有するようなゲート電極40や、図13に示すように銅層40aの表面に形成されたチタン膜40mと該チタン膜40mの表面に形成されたチタン原子数に対する酸素原子数の比が1対1乃至1対2である組成の膜40nとを有するようなゲート電極40が得られる。また、ソース電極46やドレイン電極48についても、銅層の表面にチタン原子数に対する酸素原子数の比が1対0乃至1対2である組成の被膜を有するようなものや、銅層の表面に形成されたチタン膜と該チタン膜の表面に形成されたチタン原子数に対する酸素原子数の比が1対1乃至1対2である組成の膜とを有するようなものが得られる。

このようにして得られた電極40、46、48は、銅層40a、46a、48aの下面側に被膜40b、46b、48bが設けられていないが、電極40、4

6、48と基板36との間にTiN層45a、47a、47bが設けられているので、各電極の下側の隣接膜である基板36やゲート絶縁膜41などから元素が拡散してきてもTiN層45a、47a、47bにより電極40、46、48への原子の拡散が阻害され、基板36や隣接膜からの元素の拡散に起因する配線抵抗の上昇の防止効果が優れる。

(第3実施形態)

次に、本発明の薄膜トランジスタ基板の第3実施形態について図14を用いて説明する。

第3実施形態の薄膜トランジスタ基板31bは、トップゲート型TFTを備えたものであり、図14に示すように、例えばガラス等の透明基板102上に多結晶シリコンからなる半導体層103が形成され、その中央部上にSiN等からなるゲート絶縁膜104が形成され、ゲート絶縁膜104上にTiN層101aを介してゲート電極105が形成されている。このゲート電極105は、銅層105aの表面に、第2実施形態の被膜40bと同様の材料からなる被膜105bを有してなるものである。なお、ゲート電極105は図示しないゲート配線と一体形成されている。

半導体層103には 10^{16} atm/cm³以下の低濃度でP⁺、As⁺等のn型不純物が導入されたn⁻半導体層からなるソース領域107およびドレイン領域108が形成され、これらソース領域107、ドレイン領域108に挟まれた領域がチャネル部109となっている。また、これらソース領域107、ドレイン領域108をなすn⁻半導体層は、ゲート絶縁膜104端部の下方にまで侵入する形で形成されている。

また、ソース領域107およびドレイン領域108表面にはタングステンシリサイド、モリブデンシリサイド等のシリサイド膜110がそれぞれ形成されており、一方のシリサイド膜110上にTiN層125aを介してソース配線111とソース電極112が形成され、他方のシリサイド膜110上にTiN層125bを介してドレイン電極113が形成されている。これらソース配線111、ソース電極112は、銅層112aの表面に第2実施形態の被膜46bと同様の材料からなる被膜112bを有してなるものである。ドレイン電極113は銅層1

13aの表面に第2実施形態の被膜48bと同様の材料からなる被膜113bを有してなるものである。

そして、全面を覆うようにパッシベーション膜114が形成され、このパッシベーション膜114を貫通してドレイン電極113に達するコンタクトホール115が形成され、このコンタクトホール115を通じてドレイン電極113と接続されたITOからなる画素電極116が形成されている。

また、図示を省略するが、ゲート配線端部のゲート端子部およびソース配線端部のソース端子部において、上記コンタクトホール115と同様、ゲート配線およびソース配線を覆うパッシベーション膜114が開口し、ITOからなるパッドがゲート配線およびソース配線に接続してそれぞれ設けられている。

第3実施形態の薄膜トランジスタ基板31bにあっては、電極や配線を構成する銅層105a、112a、113aの表面に被膜105b、112b、113bが形成されているので、水分や酸素に対する耐酸化性を向上でき、しかもエッチング剤やレジスト剥離液などに対する耐腐食性を向上できる。またゲート電極105、ソース配線111およびソース電極112、ドレイン電極113と基板102との間にそれぞれTiN層101a、125a、125bが設けられているので、各電極や配線の下側の隣接膜である基板(基体)102やゲート絶縁膜104などから元素が拡散してきてもTiN層101a、125a、125bにより原子の拡散が阻害され、基板102やゲート絶縁膜104などからの元素の拡散に起因する配線抵抗の上昇の防止効果が優れる。また、TiN層101a、125a、125bによって、ゲート電極105、ソース配線111およびソース電極112、ドレイン電極113の密着性が向上する。

(実施例1)

図4ないし図6に示した薄膜の製造装置を用い、成膜室60をArガス雰囲気とし、第1の電極70にチタンからなるターゲット71を装着し、第2の電極72に1辺が6インチの正方形のガラス基板を装着し、第1の交流電源75から第1の電極70に周波数13.6MHz程度の高周波を供給し、更に直流電源78から負荷する負荷電位を-200Vにしてスパッタリングを行ない、ガラス基板上に膜厚50nmのチタン膜を形成した。

ついで、成膜室60をArガス雰囲気とし、第1の電極70に銅からなるターゲット71を装着し、第2の電極72にはガラス基板を装着したままで、直流電源78を作動させて直流電力をターゲット71に印加するとともに第2の交流電源80を作動させて交流電力をガラス基板に印加する2周波励起スパッタ法により、上記チタン膜上に膜厚150nmのCu膜を形成した。ここでガラス基板に印加する交流電力は、200Wであった。

ついで、このCu膜の表面にレジストを塗布してパターン露光し、エッチング剤によりCu膜とチタン膜の不要部分を除去した後に感光性レジストを剥離するパターニングを施して、チタン膜とCu層の積層膜を形成した。

ついで、上記の積層膜が形成された基板を窒素ガス雰囲気で400°C、2時間アニール処理して、配線を作製した。この実施例1で得られた配線の構造をオージェ分析法により調べたところ、銅層の周囲にTiを含有する被膜が形成された構造のものであり、また、銅層上の被膜の厚みは10nmであった。また、実施例1の配線の比抵抗を測定したところ、0.27Ω/□であり、アニール前後で変化なかった。

(実施例2)

ガラス基板に印加する交流電力を100Wにした以外は、上記実施例1と同様にして配線を作製した。この実施例2で得られた配線の構造をオージェ分析法により調べたところ、銅層の周囲にTiを含有する被膜が形成された構造のものであり、また、銅層上の被膜の厚みは8nmであった。また、実施例2の配線層の比抵抗を測定したところ、0.23Ω/□であった。

(比較例1)

ガラス基板に印加する交流電力を0Wにした以外は、上記実施例1と同様にして配線を作製した。この比較例1で得られた配線の構造をオージェ分析法により調べたところ、銅層の周囲にTiを含有する被膜が形成された構造のものであり、また、銅層上の被膜の厚みは4nmであった。また、比較例1の配線の比抵抗を測定したところ、0.23Ω/□であった。

上記実施例1、2及び比較例1からガラス基板に印加する交流電力を大きくするに従ってCu層上に形成される被膜の厚みが厚くなることがわかる。

(比較例 2)

図 4ないし図 6に示した薄膜の製造装置を用い、成膜室 60をArガス雰囲気とし、第1の電極70に銅からなるターゲット71を装着し、第2の電極72にはガラス基板を装着し、直流電源78を作動させて直流電力をターゲット71に印加するとともに第2の交流電源80を作動させて交流電力をガラス基板に印加する2周波励起スパッタ法により、膜厚150nmのCu膜を形成した。ここでのガラス基板に印加する交流電力は、200Wであった。

ついで、このCu膜の表面にレジストを塗布してパターン露光し、エッティング剤によりCu膜の不要部分を除去した後に感光性レジストを剥離するパターニングを施して、Cu層を形成し、配線を作製した。この比較例2で得られた配線の比抵抗は、0.20Ω/□であった。

(比較例 3)

ガラス基板に印加する交流電力を100Wにした以外は、上記比較例2と同様にして配線を作製した。この比較例3で得られた配線の比抵抗を測定したところ、0.18Ω/□であった。

(実験例 1)

実施例1、2、比較例1乃至3で得られた配線の薬液耐性について調べた。ここで薬液耐性は、各配線を過硫酸アンモニウムエッティング液に60秒間浸漬し、これらを剥離液から取り出し、リノス洗浄、乾燥させたときのエッティング液浸漬前後の配線の表面の状態を原子力間頭微鏡(AM)により観察することにより評価した。その結果を図15から図17に示す。図15は、過硫酸アンモニウムエッティング液浸漬後の実施例1の配線の表面の金属組織を示す写真である。図16は、過硫酸アンモニウムエッティング液浸漬後の実施例2の配線の表面の金属組織を示す写真である。図17は、過硫酸アンモニウムエッティング液浸漬後の比較例1の配線の表面の金属組織を示す写真である。

また、各配線のエッティングレートを測定したところ、アニール前の実施例1の配線は132nm/分、アニール後の実施例1の配線は約3分間の保持時間の後アニール前の配線と同様132nm/分、アニール前の実施例2の配線は126nm/分、アニール後の実施例2の配線は1分間以上の保持時間の後アニール前

の配線と同様 126 nm/分、アニール前の比較例 1 の配線は 128 nm/分、アニール後の比較例 1 の配線は保持時間は 1 分未満で、その後はアニール前の配線と同様 128 nm/分、比較例 2 の配線は 127 nm/分、比較例 3 の配線は 128 nm/分であり、さらに実施例 1 と同様のアニールをした後でもエッティングレートは変わらなかった。

図 15 乃至図 17 に示した結果ならびにエッティングレートの測定結果から明らかなように基板に印加する交流電力が 0 W の比較例 1 の配線や銅層のみ形成した比較例 2、3 の配線は、エッティング液によるエッティングレートがエッティング開始直後から大きく、また、比較例 1 の配線は銅膜がほぼ全面に亘ってエッティングされており（表面保護率が 7 %）、エッティング液により大きなダメージを受けていることがわかる。これに対して実施例 1、2 のものは、約 1 分間以上エッティングが進行しない保持時間有し、基板に印加する交流電力が 200 W の実施例 1 の配線の表面保護率は 90 %、基板に印加する交流電力が 100 W の実施例 2 の配線の表面保護率は 60 % であり、エッティング液浸漬前後の配線の表面の状態があまり変化しておらず、比較例 1 のものに比べて薬液耐性が優れていることがわかる。なお、ここでの表面保護率とは、エッティング液浸漬前の配線の表面積（100 %）に対するエッティング液浸漬後に残った表面部分の合計面積の割合である。

また、実施例 1、2 の配線においては、アニール前後の比抵抗はあまり変化がない。

図 18 乃至図 19 に、実施例 1 の配線のアニール処理前後の配線構造をオージェ分析法より調べた結果を示す。図 18 は、実施例 1 の配線のアニール処理前のデプスプロファイルであり、図 19 は実施例 1 の配線のアニール処理後のデプスプロファイルである。

図 18 乃至図 19 に示した結果からアニール処理前は、ガラス基板と Cu 層の間の Ti の含有量が多く、Cu 層中には Ti がわずかに含まれており、また、Cu 層表面には殆ど Ti が含まれていないことがわかる。ここで Cu 層中に Ti が含まれているのは、Cu をスパッタ成膜する際に基板に交流電力を印加したためであると考えられる。また、アニール処理後は、ガラス基板と Cu 層の間の Ti の含有量がアニール処理前に比べて少なくなり、また、Cu 層表面側に Ti 及び

○のピークが認められ、Cu層表面のTiおよび○がアニール処理前に比べて多くなっていることがわかる。これらのことから、アニール処理を施すことにより、TiがCu層の表面に拡散したことがわかる。

(実施例3)

チタンからなるターゲット71に代えてクロムからなるターゲット71を用い、ガラス基板上にクロム膜を形成した以外は、上記実施例1と同様にして配線を作製した。また、実施例3の配線層の比抵抗を測定したところ、0.14Ω/□であった。

(実施例4)

ガラス基板に印加する交流電力を100Wにした以外は、上記実施例3と同様にして配線を作製した。また、実施例4の配線層の比抵抗を測定したところ、0.14Ω/□であった。

(比較例4)

ガラス基板に印加する交流電力を0Wにした以外は、上記実施例3と同様にして配線を作製した。また、比較例1の配線の比抵抗を測定したところ、0.14Ω/□であった。

(実験例2)

実施例3、4、比較例4で得られた配線の薬液耐性について上記実験例1と同様にして調べた。その結果を図20乃至図22に示す。図20は、過硫酸アンモニウムエッティング液浸漬後の実施例3の配線の表面の金属組織を示す写真である。図21は、過硫酸アンモニウムエッティング液浸漬後の実施例4の配線の表面の金属組織を示す写真である。図22は、過硫酸アンモニウムエッティング液浸漬後の比較例4の配線の表面の金属組織を示す写真である。

また、各配線のエッティングレートを測定したところ、アニール前の実施例3の配線は128nm/分、アニール後の実施例3の配線は約2分間の保持時間の後アニール前の配線と同様128nm/分、アニール前の実施例4の配線は131nm/分、アニール後の実施例4の配線は1分間以上の保持時間の後アニール前と同様131nm/分、アニール前の比較例4の配線は127nm/分、アニール後の比較例4の配線は保持時間は1分未満で、その後はアニール前の配線と同

様 127 nm/分であった。

図20乃至図22に示した結果ならびにエッティングレートの測定結果から明らかなように基板に印加する交流電力が0Wの比較例4の配線や銅層のみ形成した比較例2, 3の配線は、エッティング液によるエッティングレートがエッティング開始直後から大きく、また、比較例4の配線は銅膜がほぼ全面に亘ってエッティングされており（表面保護率が15%）、エッティング液により大きなダメージを受けていることがわかる。これに対して実施例3, 4のものは、約1分間以上エッティングが進行しない保持時間有し、基板に印加する交流電力が200Wの実施例3の配線の表面保護率は70%、基板に印加する交流電力が100Wの実施例4の配線の表面保護率は50%であり、エッティング液浸漬前後の配線の表面の状態があまり変化しておらず、比較例4のものに比べて薬液耐性が優れていることがわかる。

また、実施例3, 4の配線においては、アニール前後の比抵抗はあまり変化がない。

図23乃至図24に、実施例3の配線のアニール処理前後の配線構造をオージェ分析法より調べた結果を示す。図23は、実施例3の配線のアニール処理前のデプスプロファイルであり、図24は実施例1の配線のアニール処理後のデプスプロファイルである。

図23乃至図24に示した結果からアニール処理前は、ガラス基板とCu層の間のCrの含有量が多く、Cu層中にはCrがわずかに含まれており、また、Cu層表面には殆どTiが含まれていないことがわかる。ここでCu層中にTiが含まれているのは、Cuをスパッタ成膜する際に基板に交流電力を印加したためであると考えられる。

また、アニール処理後は、ガラス基板とCu層の間のCrの含有量がアニール処理前に比べて少なくなり、また、Cu層表面側にCr及びOのピークが認められ、Cu層表面のCrおよびOがアニール処理前に比べて多くなっていることがわかる。これらのことから、アニール処理を施すことにより、CrがCu層の表面に拡散したことがわかる。

（実験例3）

チタンからなるターゲット71に代えてモリブデンからなるターゲット71を用い、また、ガラス基板に印加する交流電力を0～200Wの範囲で変更し、ガラス基板上にモリブデン膜を形成した以外は、上記実施例1と同様にして配線を作製したときの、Cu層上に形成される被膜とガラス基板に印加する交流電力との関係を調べた。その結果、ガラス基板に印加する交流電力が200Wのときに得られる被膜は、7nm、100Wのときに得られる被膜は6nm、0Wのときに得られる被膜は2nmであった。このことからガラス基板に印加する交流電力を大きくするに従ってCu層上に形成されるモリブデンを含む被膜の厚みが厚くなることがわかる。

(実験例4)

図4ないし図6に示した薄膜の製造装置を用い、成膜室60をN₂とArガスの混合雰囲気とし、第1の電極70にチタンからなるターゲット71を装着し、第2の電極72には1辺が6インチの正方形のガラス基板を装着し、第1の交流電源75から第1の電極70に周波数13.6MHz程度の高周波を供給し、更に直流電源78から負荷する負荷電位を-200Vにしてスパッタリングを行うことにより膜厚50nmのTiN膜を成膜した。

ついで、成膜室60をArガス雰囲気とし、第1の電極70にチタンからなるターゲット71を装着し、第2の電極72に上記1辺が6インチの正方形のガラス基板を装着したままで、第1の交流電源75から第1の電極70に周波数13.6MHz程度の高周波を供給し、更に直流電源78から負荷する負荷電位を-200Vにしてスパッタリングを行ない、ガラス基板上に膜厚20nmのチタン膜を形成した。

ついで、成膜室60をArガス雰囲気とし、第1の電極70に銅からなるターゲット71を装着し、第2の電極72にはガラス基板を装着したままで、直流電源78を作動させて直流電力をターゲット71に印加するとともに第2の交流電源80を作動させて交流電力をガラス基板に印加する2周波励起スパッタ法により、上記チタン膜上に膜厚140nmのCu膜を成膜し、TiN膜とチタン膜とCu膜からなる積層膜を形成した。ここでガラス基板に印加する交流電力は、200Wであった。

ついで、上記の積層膜が形成された基板を窒素ガス雰囲気で400°C、2時間アニール処理して、試験片1を作製した。

また、Cu膜の厚みを150nm、アニール処理時の温度を500°Cとした以外は、上記の方法と同様にして試験片2を作製した。

また、図4ないし図6に示した薄膜の製造装置を用い、成膜室60をSiH₄ + H₂混合ガス雰囲気とし、第1の電極70にダミーターゲット71aを装着し、第2の電極72にガラス基板36を装着し、第1の交流電源75から第1の電極70に周波数200MHz程度の高周波を供給し、更に、第2の交流電源80から第2の電極72に高周波電力を供給し、ガラス基板36にかかるイオンエネルギーを制御して膜厚100nmのa-Si層(i-Si)を成膜した。

ついで、成膜室60をArガス雰囲気とし、第1の電極70にa-Si:n⁺層生成用のPドープSiからなるターゲット71を装着し、第1の交流電源75から第1の電極70に周波数13.6MHz程度の高周波を供給し、更に直流電源78から負荷する負荷電位を-200Vにしてスペッタリングを行ない、上記a-Si層上に膜厚20nmのa-Si:n⁺層(n⁺Si)を成膜した。

ついで、このa-Si:n⁺層上に膜厚50nmのTiN膜を上記試験片1と同様にして成膜し、さらにこのTiN膜上に膜厚150nmのCu膜を上記試験片1と同様にして成膜した。

この後、この基板を窒素ガス雰囲気で500°C、2時間アニール処理して、試験片3を作製した。

図25乃至図27に、試験片1乃至3の構造をオージェ分析法より調べた結果を示す。図25は、400°Cで2時間アニール処理を施した試験片1のデプスプロファイルであり、図26は、500°Cで2時間アニール処理を施した試験片2のデプスプロファイルであり、図27は、500°Cで2時間アニール処理を施した試験片3のデプスプロファイルである。

図25乃至図27に示した結果から、TiN膜とCu膜の間にTi膜を設けていない試験片3のものは、Cu膜の表面側にTiのピークがなく、500°Cでアニール処理してもCu膜の表面にはTiが拡散していないことがわかる。また、CuのピークとSiのピークの間(Cu膜とSi層の間)には、-◇-で示さ

れるNのピークと、-△-で示されるTiのピークがあり、また、Nのピークは、Tiのピークより大きいが、それはオージェ分析法では、Nのピークの近傍にあるTiのピークも検出されてしまうため、-◇-で示されるNのピークには、N以外にTiも含まれており、従って、NとTiとの含有率はほぼ1:1であると推定されるため、Cu膜とa-Si:n⁺層との間にTiN膜が残存していることがわかる。

TiN膜とCu膜の間にTi膜を設けた試験片2のものは、Cu膜の表面側にTiのピークが認められ、400°Cでアニール処理することによりCu膜の表面にTiが拡散していることがわかる。また、Cuのピークと、ガラス基板中のOのピークの間では、-◇-で示されるNのピークは-△-で示されるTiのピークより大きいが、先に述べた同様の理由により、TiN膜が残存していることがわかる。なお、Cu膜の表面側にOのピークが認められるが、これはOがTiと反応して、チタン酸化膜が生成したためである。

また、試験片3のものは、試験片2のものよりCu膜の表面側のTiのピークが大きく、また、Cuのピークとガラス基板中のOのピークの間の一△-で示されるTiのピークが小さくなってしまい、500°Cでアニール処理することにより、Ti膜を構成するTiの殆どが、Cu膜の表面に拡散したと考えられる。

(実験例5)

アニール条件を変更した以外は、上記試験片3の作製方法と同様にして試験片4を作製した。

また、a-Si:n⁺層上にTiN膜に代えて各種の金属膜（膜厚50nmのTi膜、膜厚50nmのCr膜、膜厚50nmのMo膜、膜厚50nmのTiN膜と膜厚20nmのTi膜）を形成し、また、アニール条件を変更した以外は、上記試験片3の作製方法と同様にして試験片5乃至8を作製した。

そして、試験片4乃至試験片8の積層膜のシート抵抗について調べた。その結果を図28に示す。図28中、横軸はアニール温度（°C）、縦軸のR/R(i_n)はCu膜のシート抵抗値に対する積層膜のシート抵抗値の比である。

図28の結果からa-Si:n⁺層とCu膜の間にTi膜を設けた試験片5のものは、アニール温度が300°Cを超えると膜のシート抵抗が徐々に大きくな

り、アニール温度が400°Cでのシート抵抗がCu膜のシート抵抗の約1.5倍で、500°Cで最もシート抵抗が大きいことわかる。ここでアニール温度の上昇によりシート抵抗が大きくなるのは、温度の上昇によりCu膜を構成するCuと、下地の金属膜の元素がCuと相互拡散し、Cuの中に固溶するためである。

これに対して、a-Si:n⁺層とCu膜の間にTiN膜又はMoを設けた試験片4、7のものは、アニール温度を変更しても殆どシート抵抗は変化せず、Cu膜と同じ程度の低抵抗の膜であることがわかる。また、a-Si:n⁺層とCu膜の間にCr膜を設けた試験片6のものは、400°Cでのシート抵抗がCu膜の抵抗の約1.1倍で、また、アニール温度を変更しても殆どシート抵抗は変化していないことがわかる。また、a-Si:n⁺層とCu膜の間にTiN膜とTi膜を設けた試験片8のものは、アニール温度が400°Cでのシート抵抗がCu膜の約1.3倍となるが、500°Cを超えるとCu膜と同じ程度の低抵抗となることがわかる。

(実験例6)

上記試験片4乃至8を400°Cで2時間アニール処理したときのCu膜の下層の金属膜(TiN膜、Ti膜、Cr膜、Mo膜、TiN膜とTi膜)の拡散状態についてオージェ分析法により調べた。結果を以下に述べる。

試験片4、7のものは、Cu膜の表面には金属膜(Mo膜、TiN膜)を構成する元素は殆ど拡散していないことが分かった。

これに対して試験片5、6のものは、Cu膜の表面に厚さ10nm程度のチタンの酸化膜やクロムの酸化膜からなる被膜が形成されていることがわかった。また、試験片8のものは、Cu膜の表面に厚さ10nm程度のチタンの酸化膜からなる被膜が形成されていることがわかった。

(実験例7)

上記試験片4乃至7についてa-Si:n⁺層とCu膜間に形成された金属膜のバリヤー性について評価した。ここでのバリヤー性は、Cu膜に電圧を印加したときのシート抵抗を測定することにより評価した。結果を図29に示す。

図29に示した結果からa-Si:n⁺層とCu膜間にTi膜やCr膜を設け

た試験片 5、6 は、アニール温度が 400°C を超えると急激にシート抵抗が上昇していることがわかる。また、a-Si:n⁺層と Cu 膜間に Mo 膜を設けた試験片 7 は、500°C までシート抵抗は殆ど変化せず、500°C を超えると急激に上昇していることがわかる。ここで急激にシート抵抗が上昇するのは、アニール温度の上昇により、メタルシリサイド反応により、a-Si:n⁺層と Cu 膜間の金属膜のバリヤー性が低下し、a-Si:n⁺層中の Si が拡散して、Cu 膜中に入り込むためである。

これに対して a-Si:n⁺層と Cu 膜間に TiN 膜を設けた試験片 4 は、アニール温度が 500°C までシート抵抗が殆ど変化せず、また、500°C を超えても試験片 7 に比べて緩やかに上昇していることがわかる。

従って TiN 膜は、Ti、Cr、Mo に比べて、耐熱性が優れており、隣接膜からの元素の拡散の防止に有効であることがわかる。

(実験例 8)

ガラス基板と Ti 膜との間に TiN 膜を設けず、また、Ti 膜上に Cu 膜を形成する前に Ti 膜の表面にプラズマエッティングを施して Ti の酸化層を除去し、アニール条件を変更した以外は試験片 1 の作製方法と同様にして試験片 9 を作製した。

ここでのプラズマエッティングは、成膜室 60 を Ar ガス雰囲気とし、第 1 の電極 70 にダミーターゲット 71a を装着し、第 2 の電極に Ti 膜を成膜したガラス基板を装着したままで、第 1 の交流電源 75 から第 1 の電源 70 に高周波を供給し、負荷電位をフローティングしてプラズマを発生させるとともに、第 2 の電極 72 に高周波電力を供給しガラス基板に 200W 程度の交流電力を 2 分程度印加することにより行われる。

また、Ti 膜の表面にプラズマエッティングを施す際、ガラス基板に印加する交流電力を 50W、1 分とした以外は上記試験片 10 の作製方法と同様にして各種の試験片 9 乃至 13 を作製した。

図 30 に、アニール処理前の試験片 9 の構造と、アニール温度を 250°C から 500°C の範囲で変更したときの試験片 9 の構造をオージェ分析法により調べた結果を示す。

また、図31にアニール処理前の試験片10の構造と、アニール温度を300°Cから500°Cの範囲で変更したときの試験片10の構造をオージェ分析法により調べた結果を示す。

図30乃至図31の結果からアニール処理前の試験片10は、Cu膜とTi膜の境界付近に○のピークが認められ、Ti膜の表面にチタンの酸化膜が生成されていることがわかる。また、TiがCu膜の表面側に拡散し始める温度は350°Cであり、さらにアニール温度を高くするに従って、Cu膜の表面側に拡散するTiの量が増えることがわかる。これに対してアニール処理前の試験片9は、Cu膜とTi膜の境界付近に○のピークが認められないことから、プラズマエッチング処理によりチタンの酸化膜が除去されたことがわかる。また、TiがCu膜の表面側に拡散し始める温度は300°Cであり、試験片10よりも低い温度でTiが拡散し始めていることがわかる。従って、プラズマエッチングによりTi膜表面のチタンの酸化膜を除去することが、TiをCu膜の表面に拡散させるためのアニール温度を下げるのに有効であることがわかる。

(実験例9)

TiN膜とガラス基板との間に膜厚300nmのSiO₂膜を形成し、TiN膜とCu膜の間のTi膜の厚みを10nmから50nmの範囲で変更し、さらにアニール条件を変更以外は、上記実験例4の試験片3とほぼ同様にして試験片11乃至14を作製した。

そして、試験片11乃至試験片14の積層膜のシート抵抗について調べた。その結果を図32に示す。図32中、横軸はアニール温度(°C)、縦軸のR/R(in)はCu膜のシート抵抗値に対する積層膜のシート抵抗値の比である。

図32の結果からSiO₂とCu膜の間に厚さ50nmのTiN膜と厚さ30乃至50nmのTi膜を設けた試験片11乃至12のものは、アニール温度が300°Cを超えると膜のシート抵抗が徐々に大きくなり、400°Cで最もシート抵抗が大きくなっていることがわかる。

これに対してSiO₂とCu膜の間に厚さ50nmのTiN膜と厚さ20nmのTi膜を設けた試験片13のものは、試験片11乃至12のものよりもシート抵抗の変化が小さいことがわかる。また、SiO₂とCu膜の間に厚さ50nmの

TiN膜と厚さ10nmのTi膜を設けた試験片14のものは、アニール温度を変更しても殆どシート抵抗は変化していないことがわかる。

従って、TiN膜上に成膜するTi膜の厚みを20nm以下とすることにより、抵抗上昇が少なく、低抵抗の配線とすることができることがわかる。

以上説明したように本発明によれば、低抵抗の銅を配線材料として用いる場合に、水分や酸素に対する耐酸化性を向上でき、しかもエッチング剤やレジスト剥離液などに対する耐腐食性を向上でき、下地との密着性を向上でき、さらに隣接膜との間での元素の相互拡散を防止できる配線とこれを用いた薄膜トランジスタ基板およびその製造方法と、そのような薄膜トランジスタ基板を備えた液晶表示装置を提供できる。

請求の範囲

1. 銅層の周囲に、チタンまたはチタン酸化物からなる被膜を有することを特徴とする配線。
2. 銅層の周囲に、モリブデンまたはモリブデン酸化物からなる被膜を有することを特徴とする配線。
3. 銅層の周囲に、クロムまたはクロム酸化物からなる被膜を有することを特徴とする配線。
4. 銅層の周囲に、タンタルまたはタンタル酸化物からなる被膜を有することを特徴とする配線。
5. 前記被膜は、チタン膜と、チタン酸化物からなる膜とを有することを特徴とする請求項1記載の配線。
6. 前記被膜は、前記銅層の周囲に形成されたチタン膜と該チタン膜の表面に形成されたチタン酸化物からなる膜とを有することを特徴とする請求項1記載の配線。
7. 前記被膜は、前記銅層の周囲の一部に形成されたチタン膜と、前記銅層の周囲の残部に形成されたチタン酸化物からなる膜とを有することを特徴とする請求項1記載の配線。
8. 前記被膜は、クロム膜と、クロム酸化物からなる膜とを有することを特徴とする請求項3記載の配線。
9. 前記被膜は、前記銅層の周囲に形成されたクロム膜と該クロム膜の表面に形成されたクロム酸化物からなる膜とを有することを特徴とする請求項3記載の配線。
10. 前記被膜は、前記銅層の周囲の一部に形成されたクロム膜と、前記銅層の周囲の残部に形成されたクロム酸化物からなる膜とを有することを特徴とする請求項3記載の配線。
11. 請求項1乃至4のいずれかに記載の配線を有することを特徴とする薄膜トランジスタ基板。
12. 基体上にTIN膜を介して請求項1に記載の配線を設けたことを特徴とする薄膜トランジスタ基板。

13. 銅層の表面に、チタンまたはチタン酸化物からなる被膜を有する配線が、基体上にTiN膜を介して設けられたことを特徴とする薄膜トランジスタ基板。

14. 前記配線の被膜は、前記銅層の表面に形成されたチタン膜と該チタン膜の表面に形成されたチタン酸化物からなる膜とを有することを特徴とする請求項13記載の薄膜トランジスタ基板。

15. チタン、モリブデン、クロム、タンタルのうちから選択されたいずれかの金属膜を形成した基体の前記金属膜上に、銅からなるターゲットを使用して銅膜を成膜し、該銅膜と前記金属膜とを所望配線形状にパターニングし、ついで前記基体をアニール処理して前記パターニングした銅膜上にチタン、モリブデン、クロム、タンタルのうちから選択された金属の被膜を形成することを特徴とする薄膜トランジスタ基板の製造方法。

16. 基体上にTiN膜を成膜し、ついで前記TiN膜上にチタンまたはチタン酸化物からなる膜を成膜し、ついで前記チタンまたはチタン酸化物からなる膜上に銅からなるターゲットを使用して銅膜を成膜して積層膜とし、該積層膜を所望配線形状にパターニングし、ついで前記基体をアニール処理して前記パターニングした銅膜上にチタンまたはチタン酸化物からなる被膜を形成することを特徴とする薄膜トランジスタ基板の製造方法。

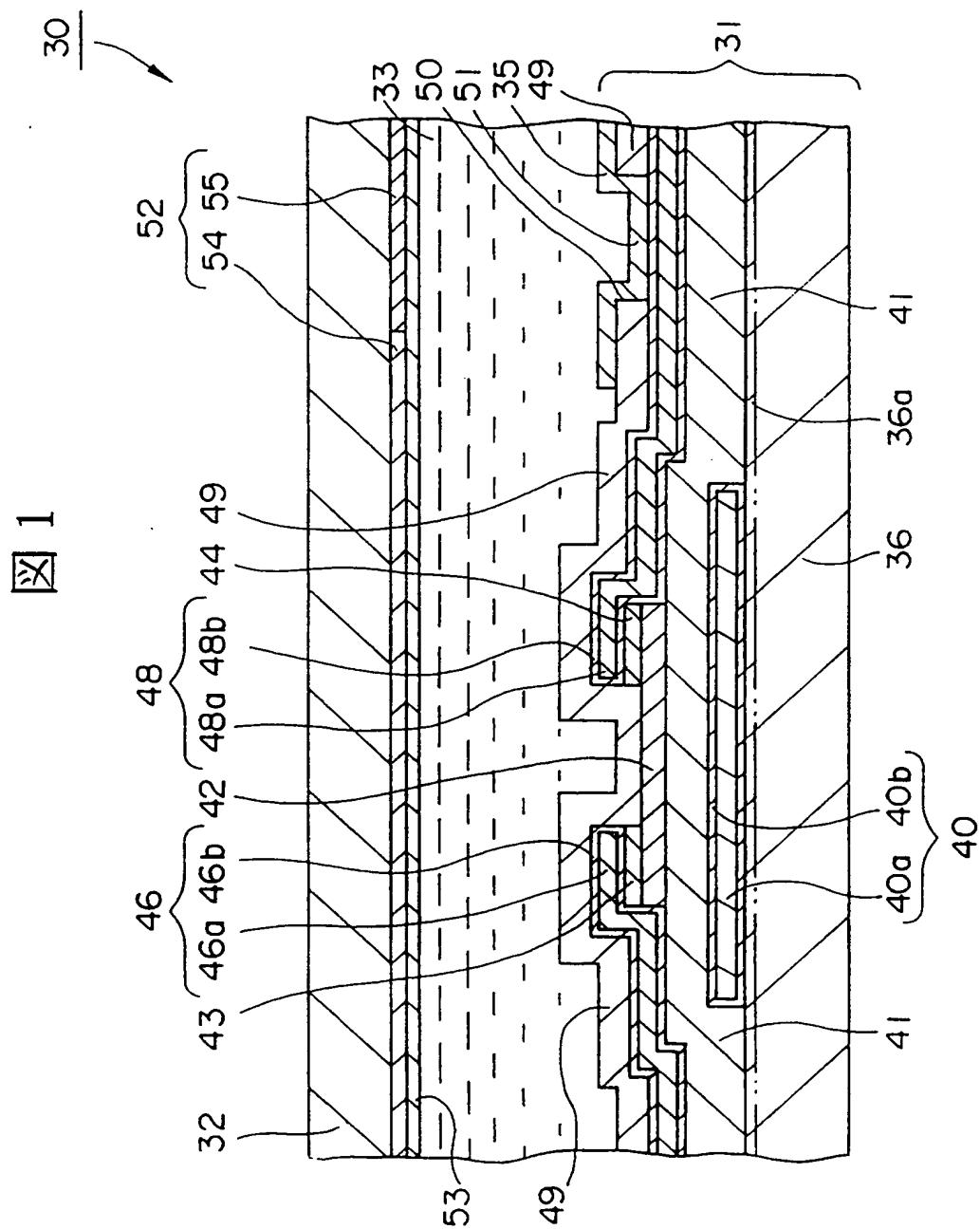
17. 前記TiN膜上に成膜するチタンまたはチタン酸化物からなる膜の膜厚を10nm乃至20nmとすることを特徴とする請求項16に記載の薄膜トランジスタ基板の製造方法。

18. 前記被膜が酸素を含有することを特徴とする請求項15又は16に記載の薄膜トランジスタ基板の製造方法。

19. 前記銅膜の成膜前にチタンまたはチタン酸化物からなる膜の表面に生成したチタンの酸化層を、プラズマエッチングにより除去することを特徴とする請求項16記載の薄膜トランジスタ基板の製造方法。

20. 対向配置された一対の基板の間に液晶が挟持され、前記一対の基板の一方が請求項11又は12又は13に記載の薄膜トランジスタ基板であることを特徴とする液晶表示装置。

(1/27)



(2/27)

図 2

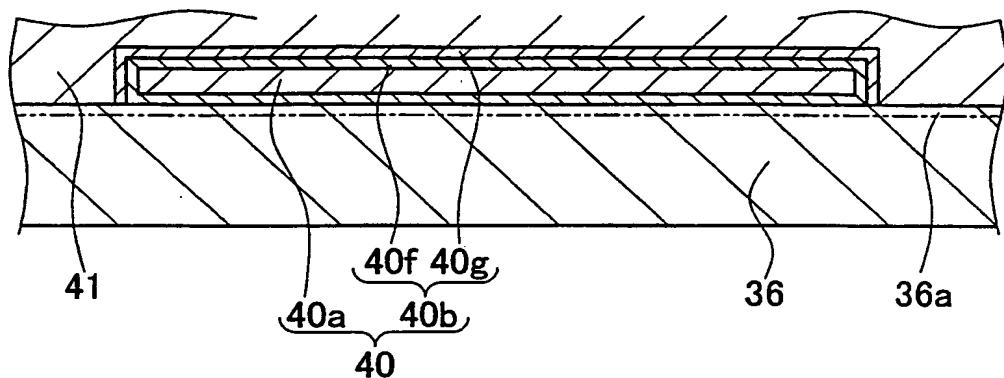
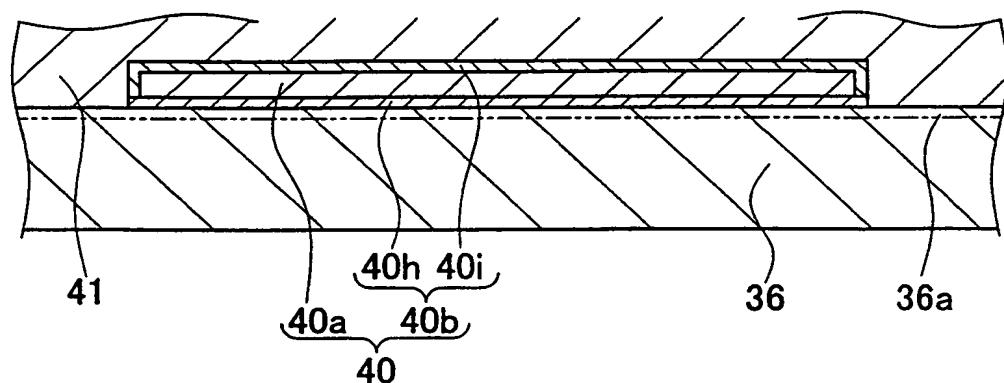
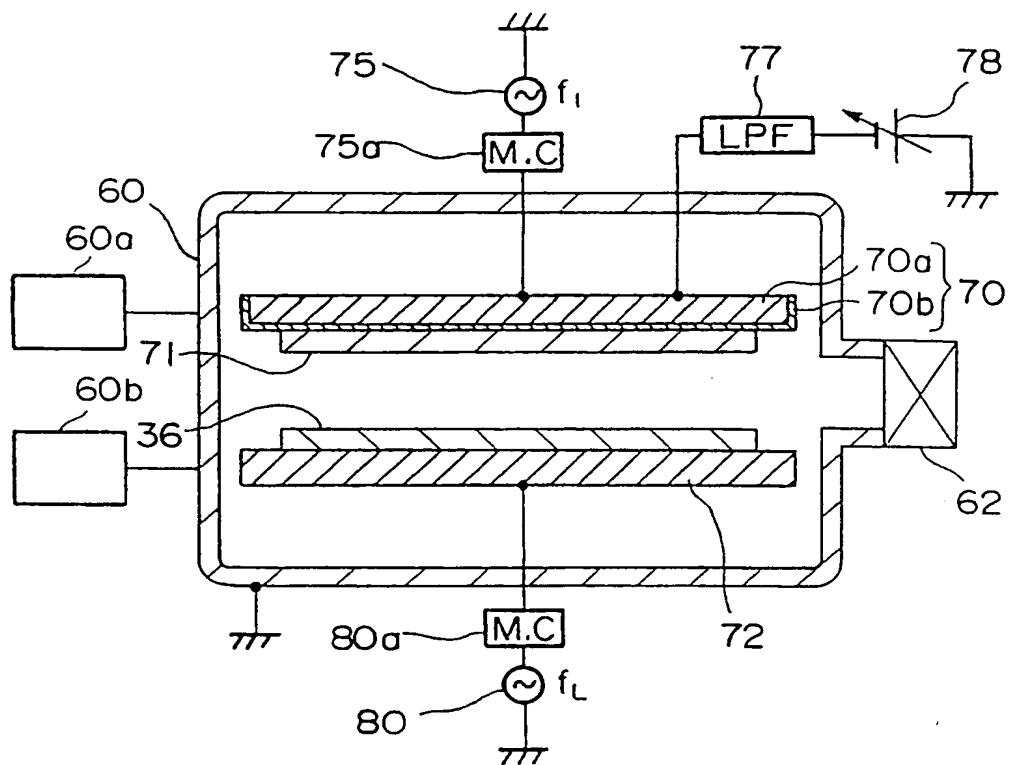


図 3



(3/27)

図 4



(4/27)

図 5

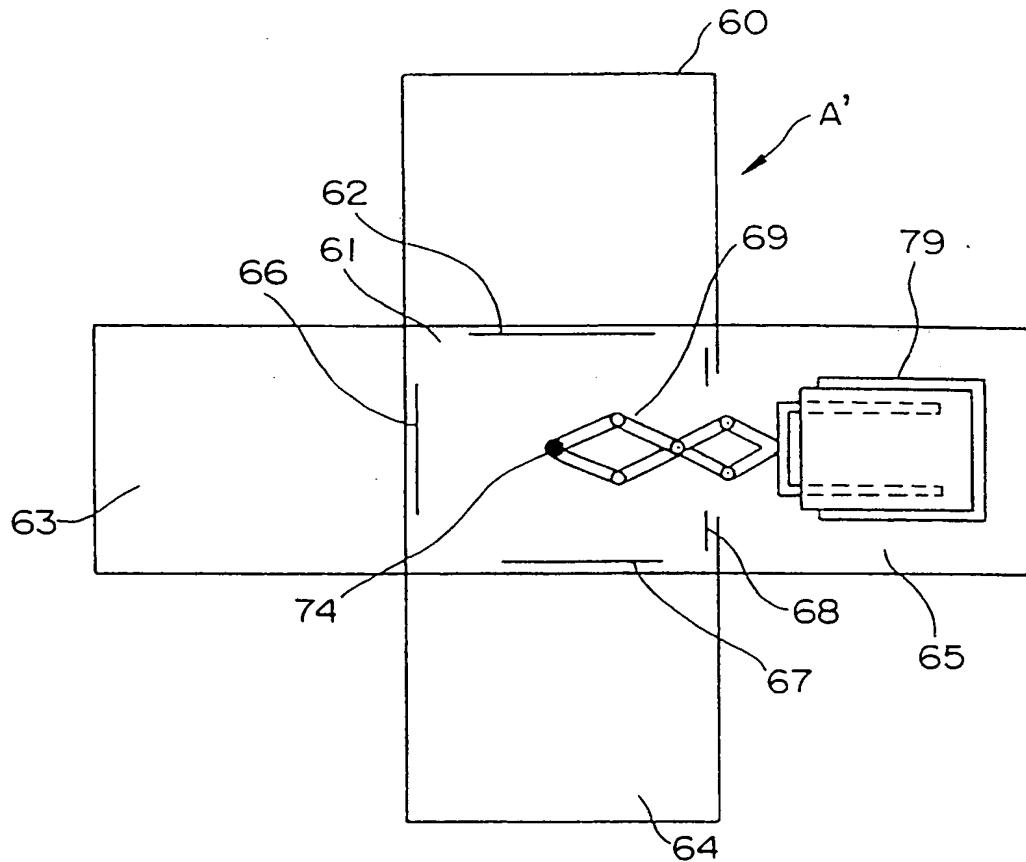
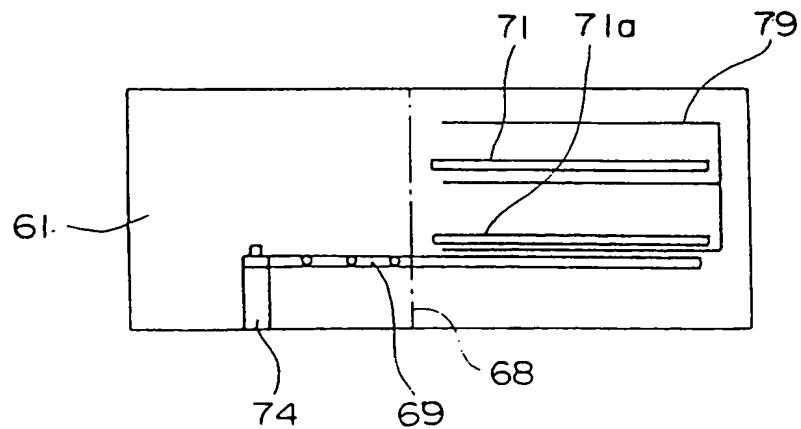


図 6



(5/27)

図 7A

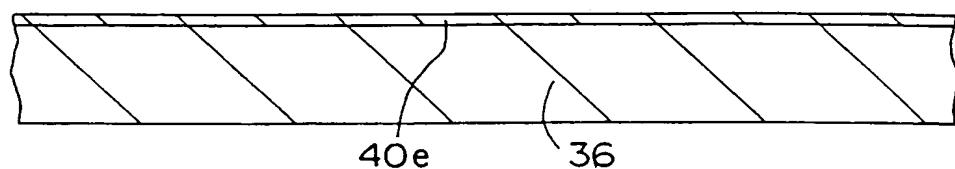


図 7B

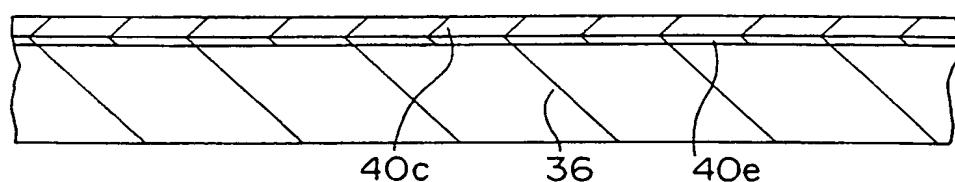


図 7C

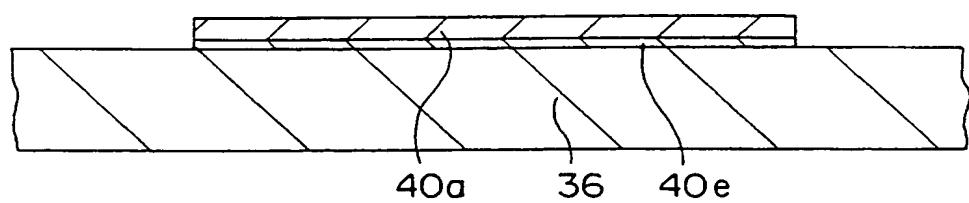
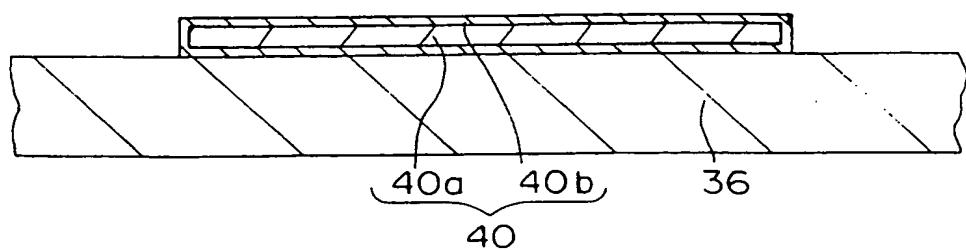


図 7D



(6/27)

図 8A

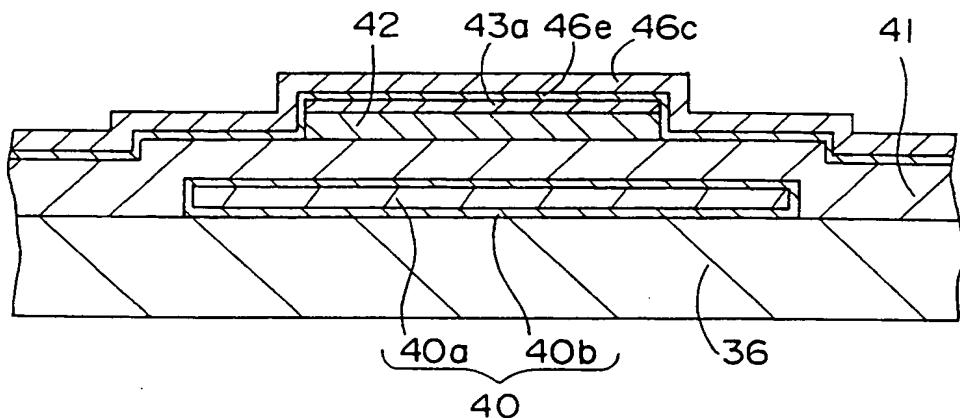


図 8B

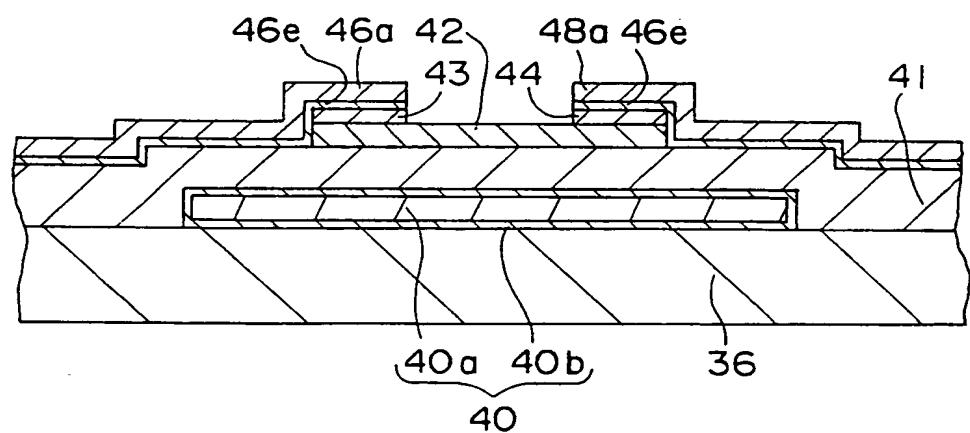
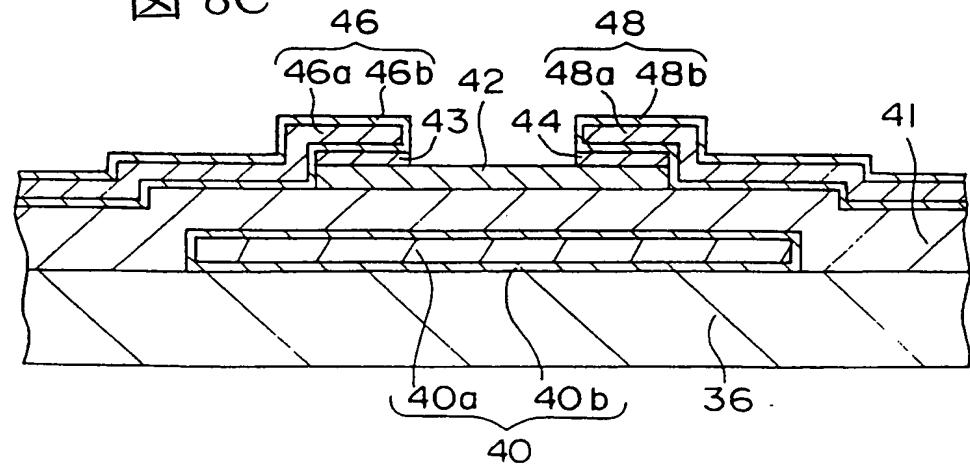
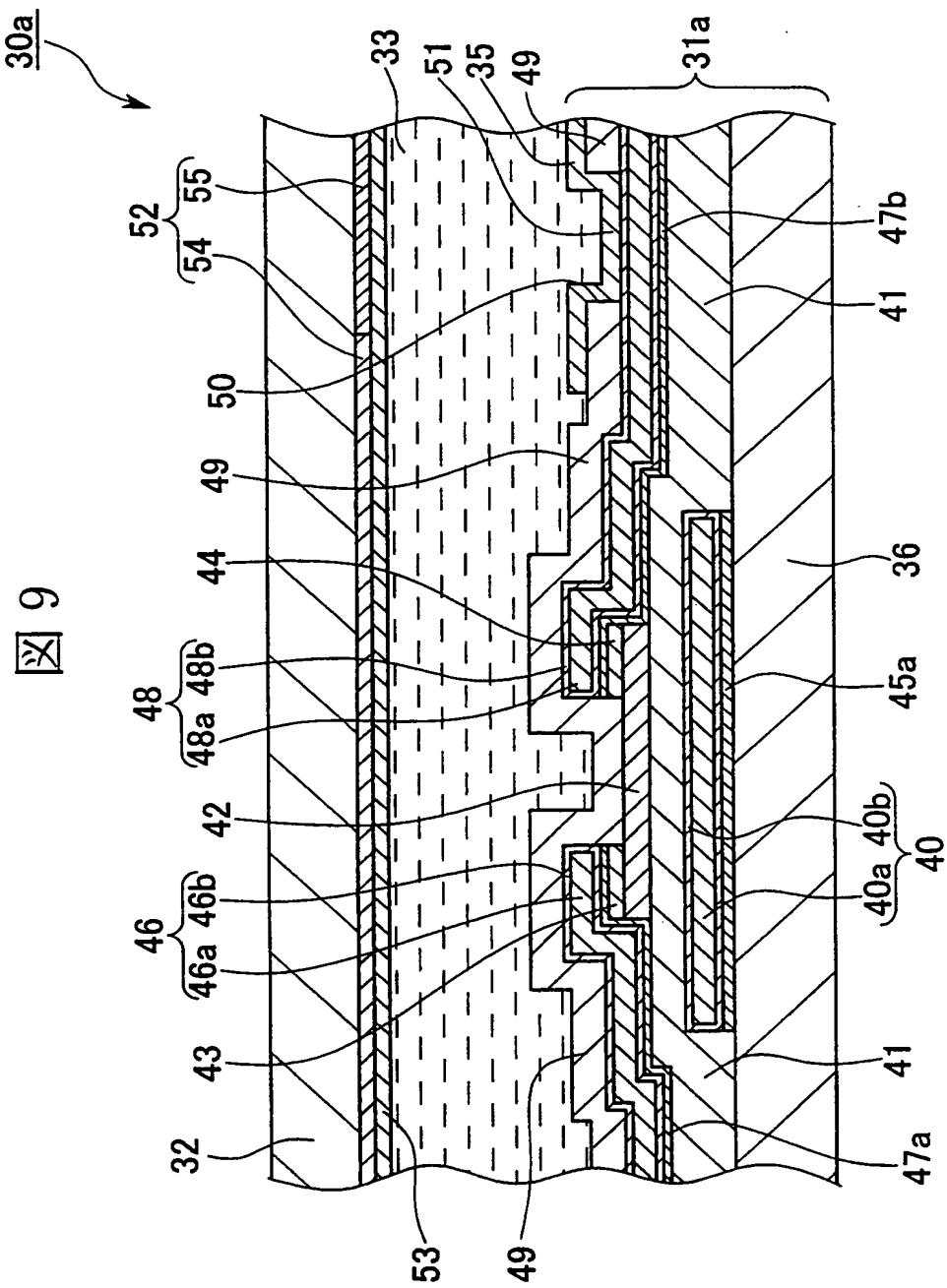


図 8C



(7/27)



(8/27)

図 10A

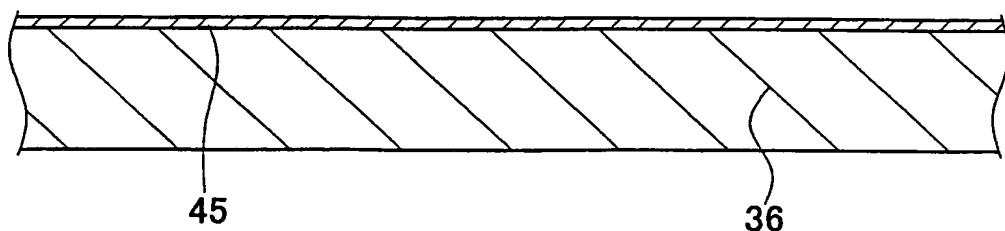


図 10B

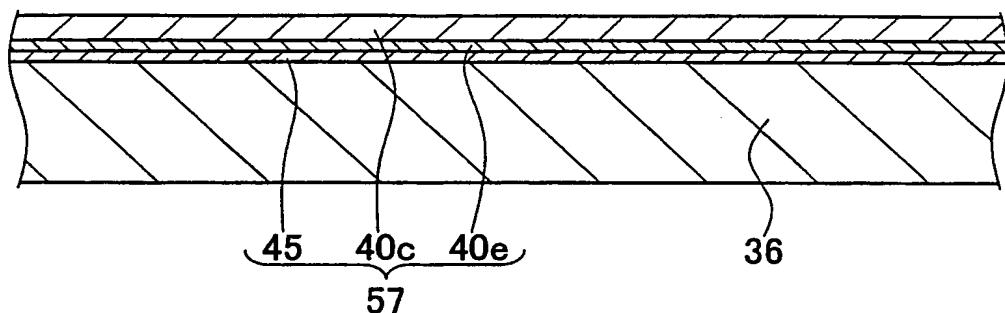


図 10C

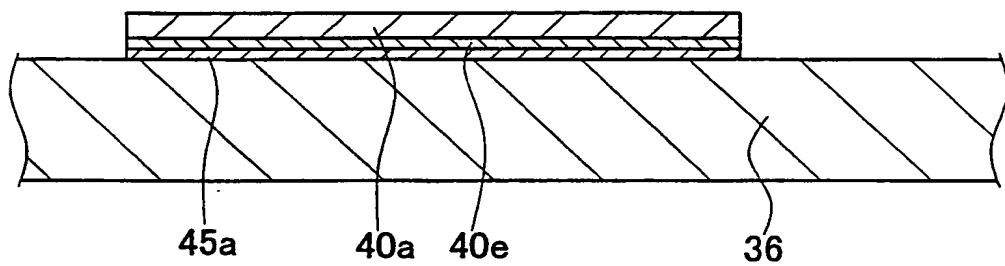
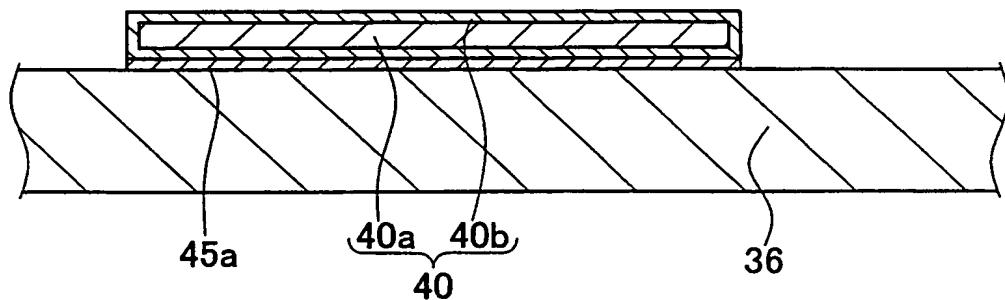


図 10D



(9/27)

図 11A

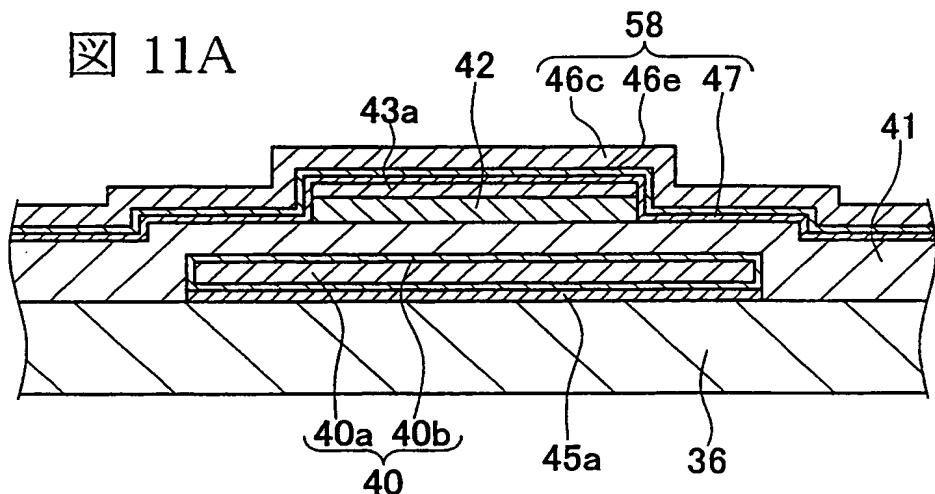


図 11B

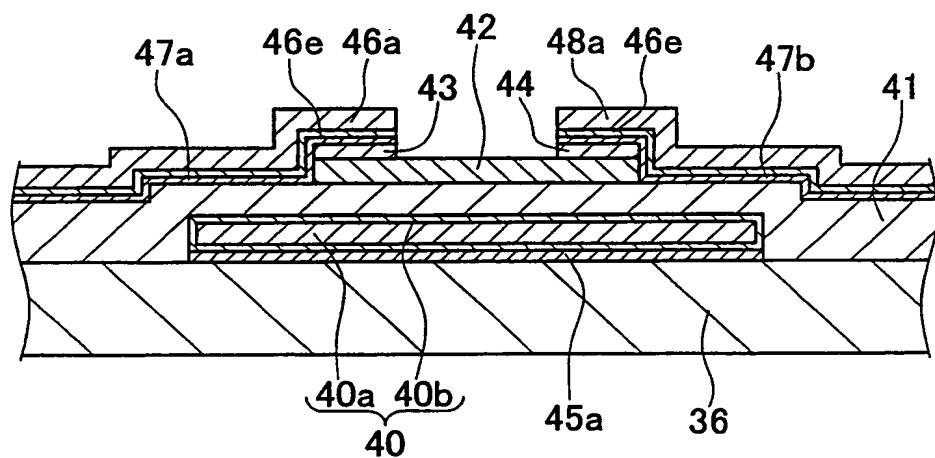
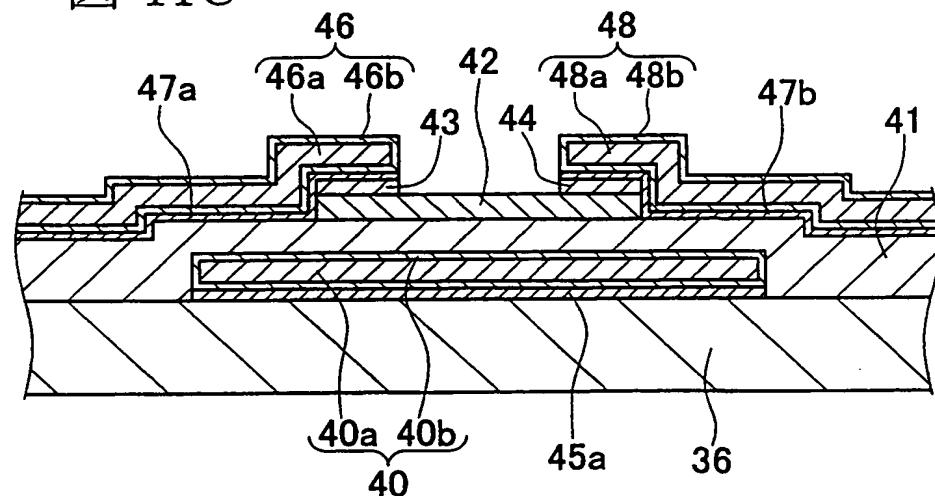


図 11C



(10/27)

図 12

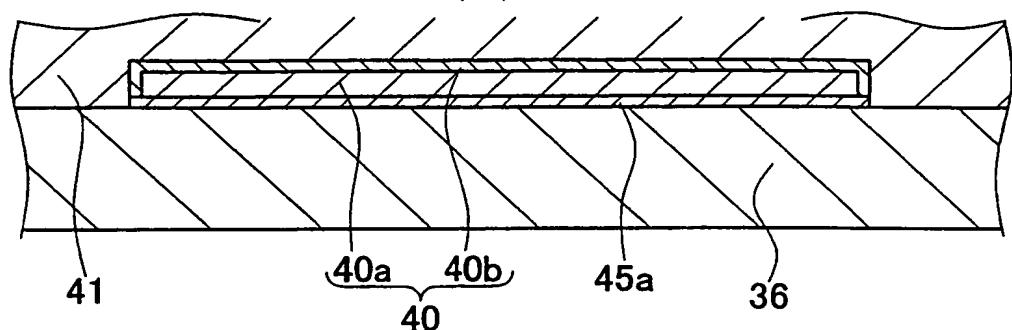


図 13

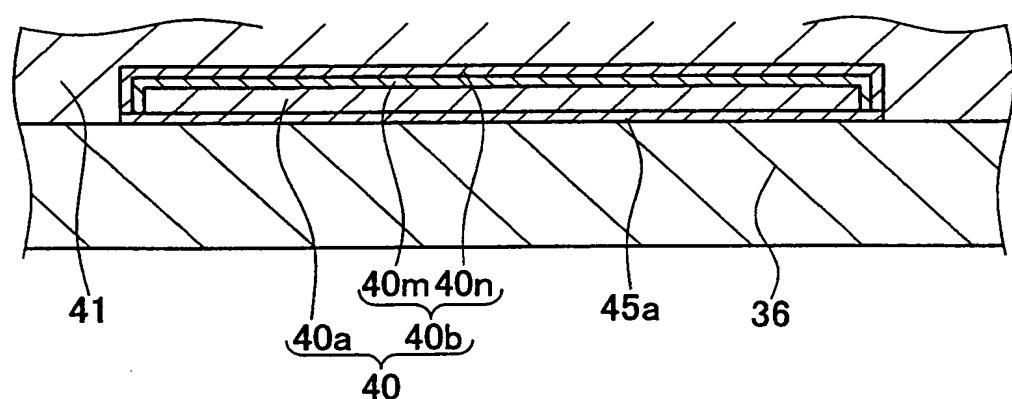
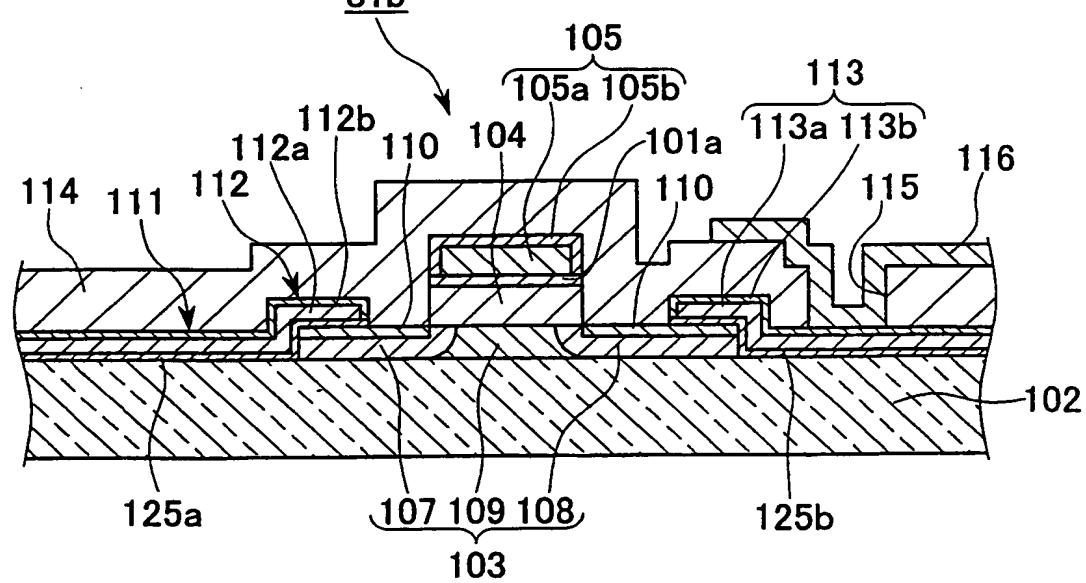


図 14



(11/27)

図 15

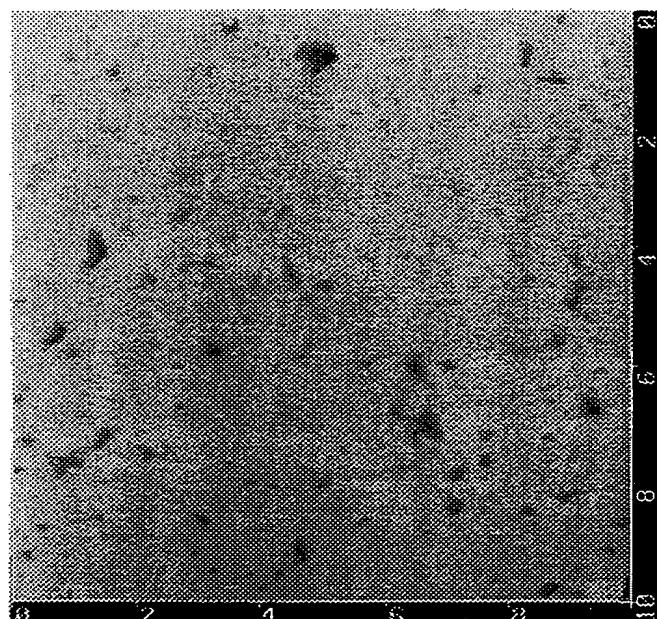
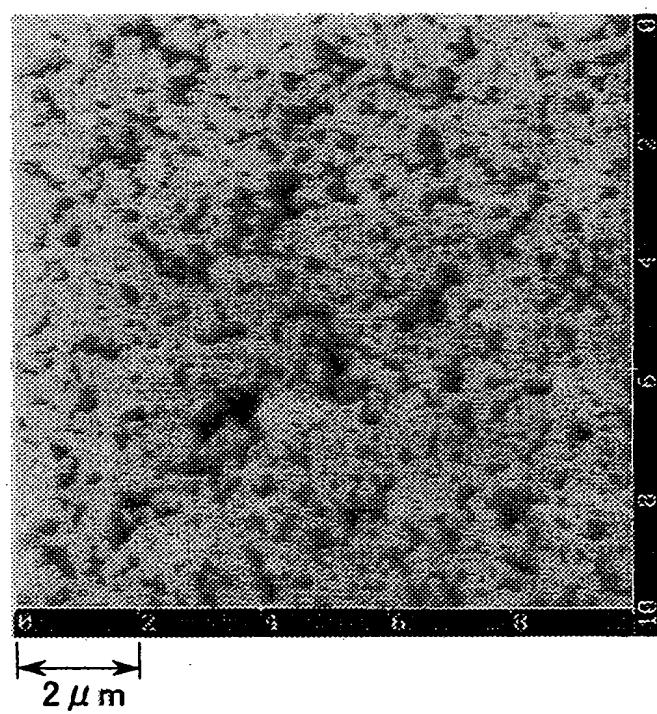
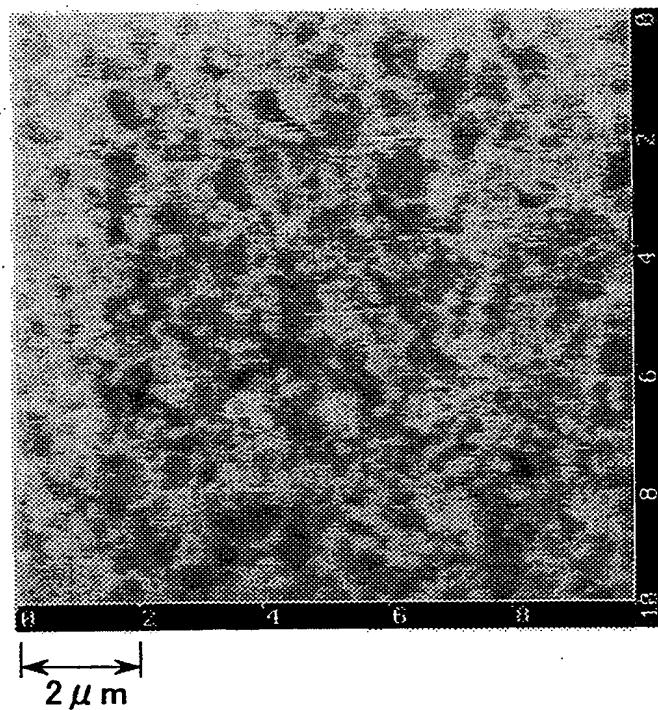


図 16



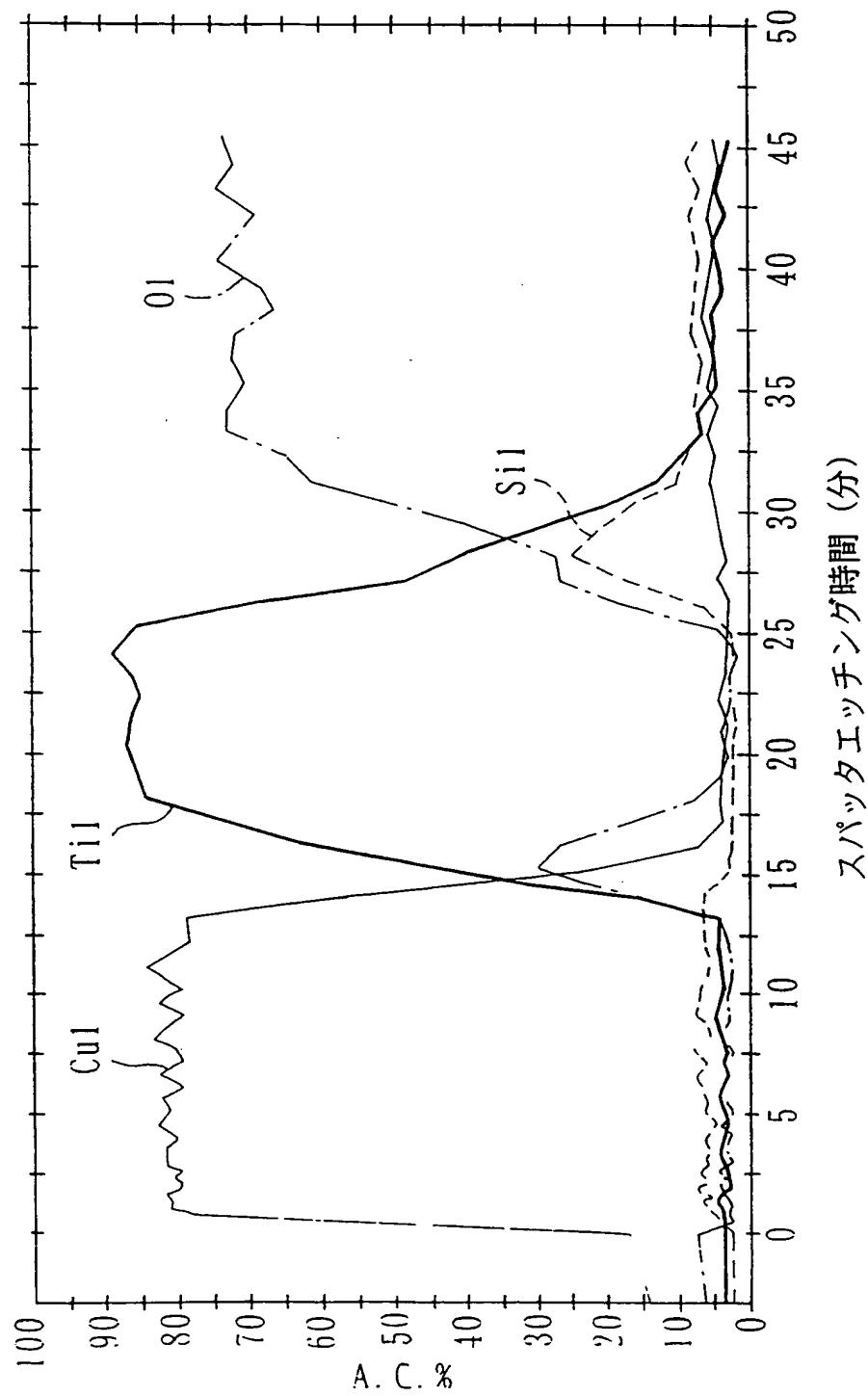
(12/27)

☒ 17



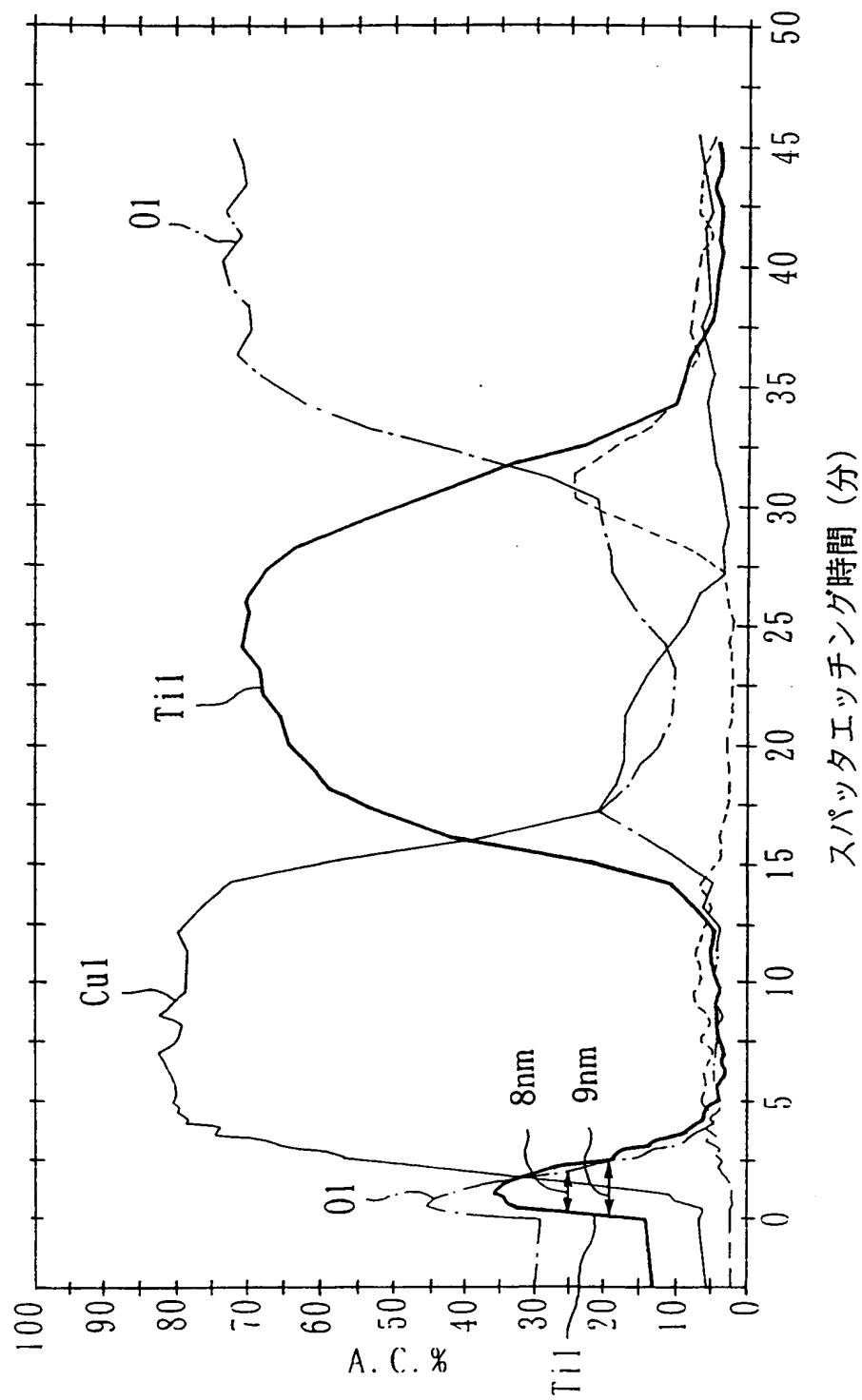
(13/27)

図 18



(14/27)

図 19



(15/27)

図 20

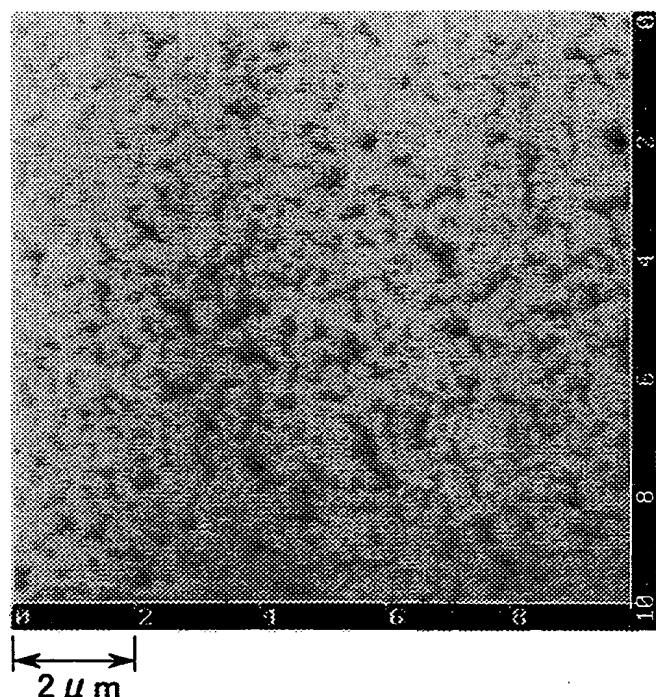
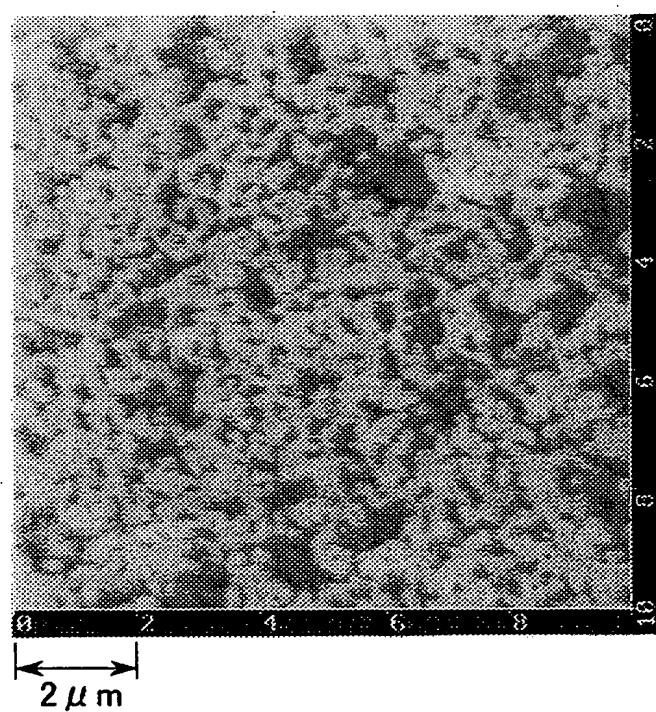
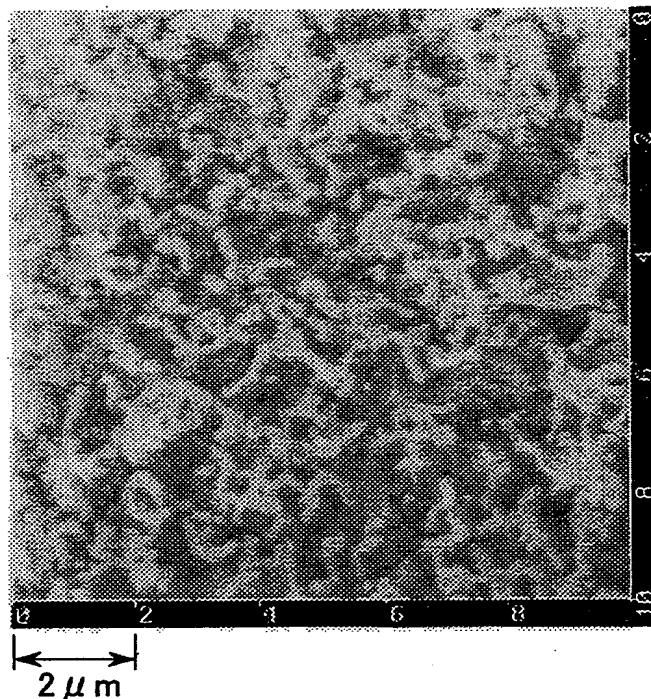


図 21



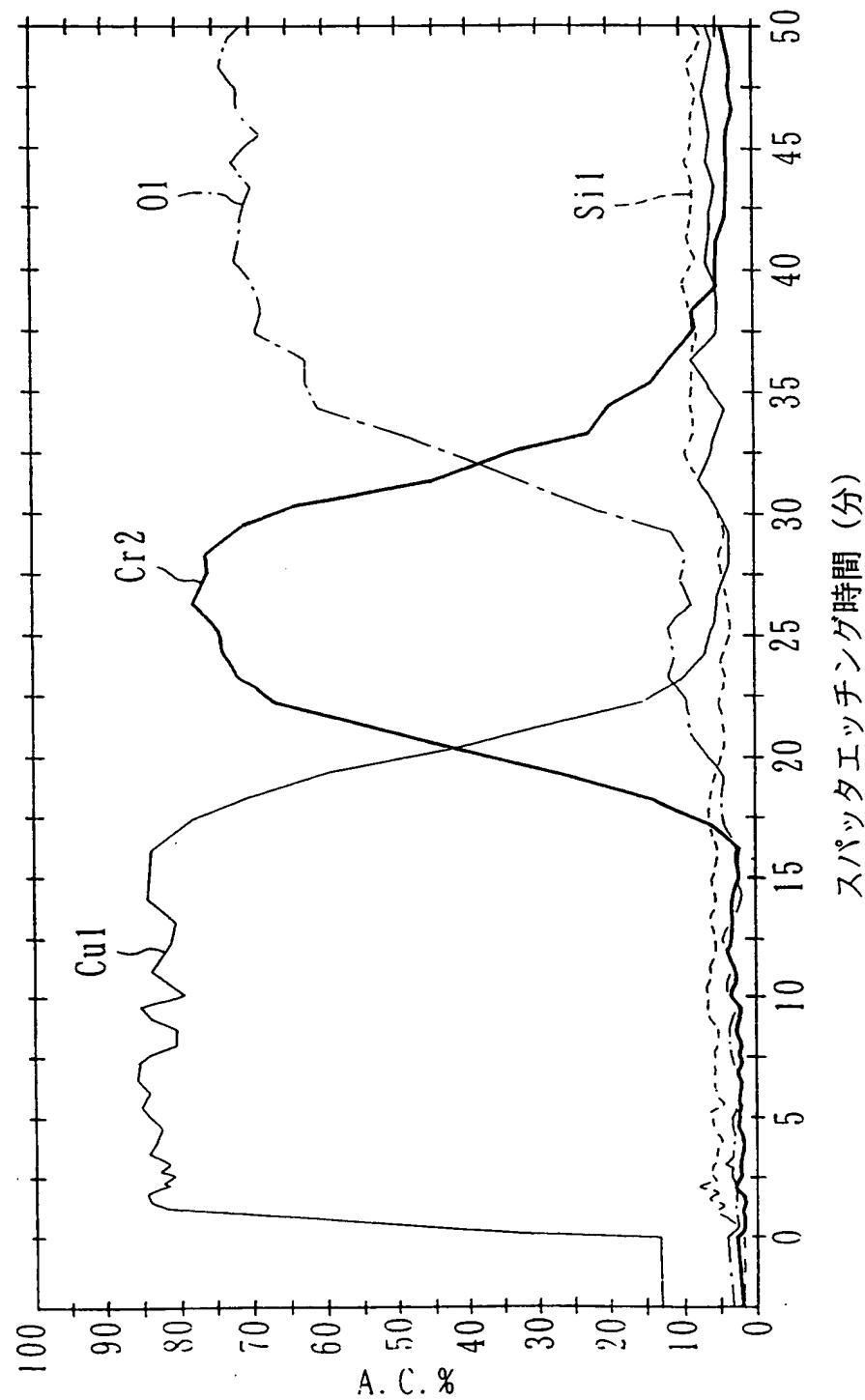
(16/27)

☒ 22

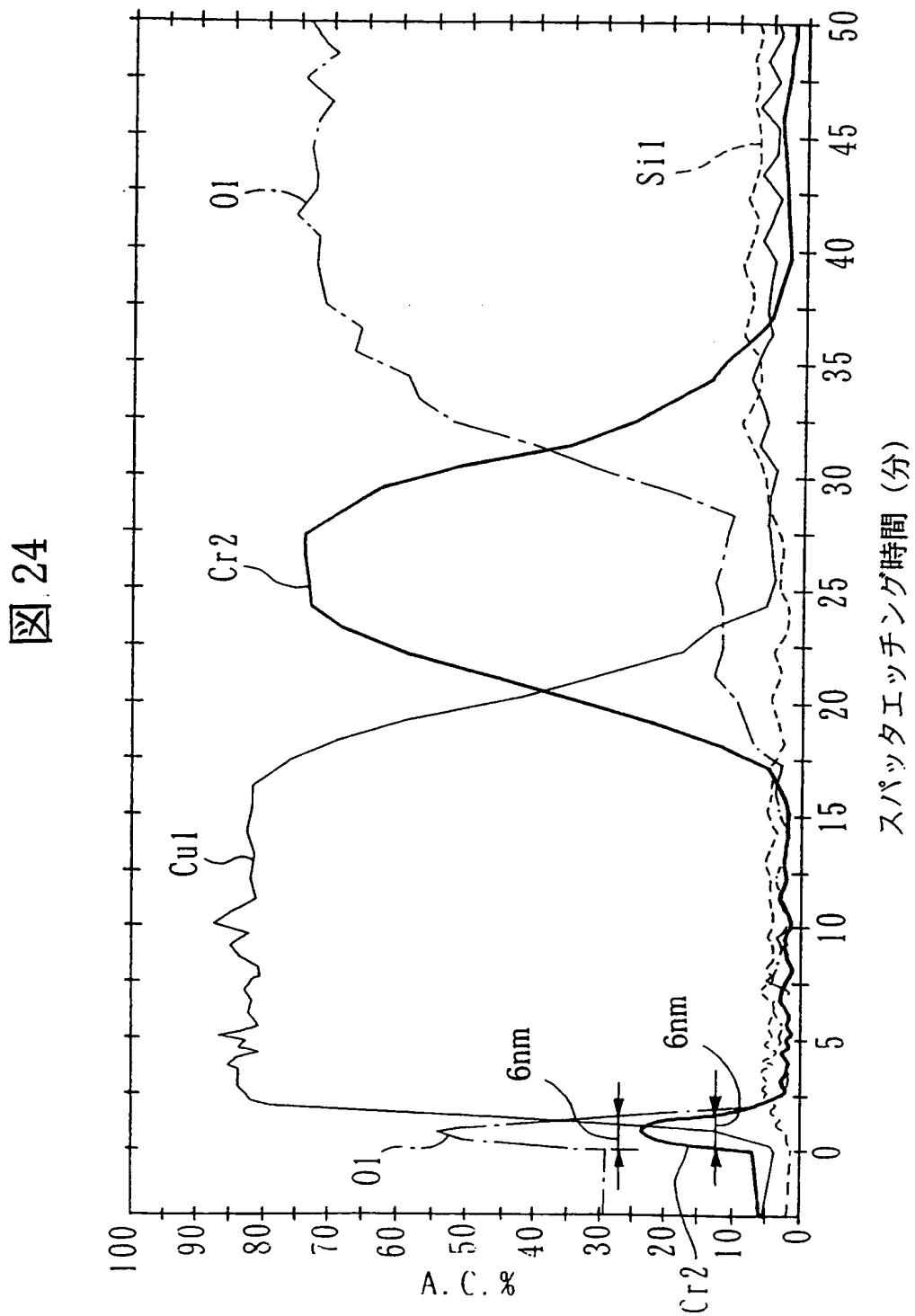


(17/27)

図 23

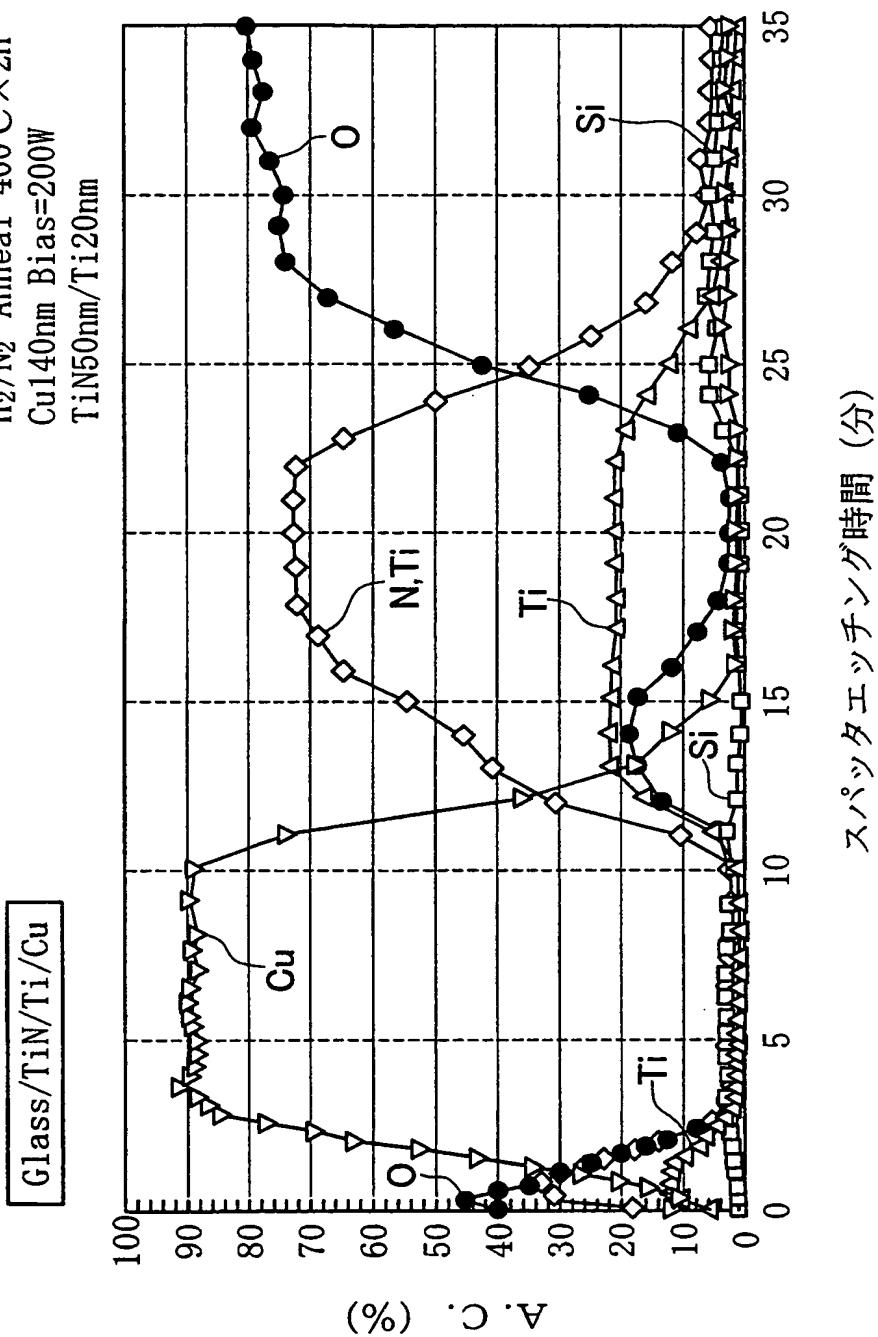


(18/27)



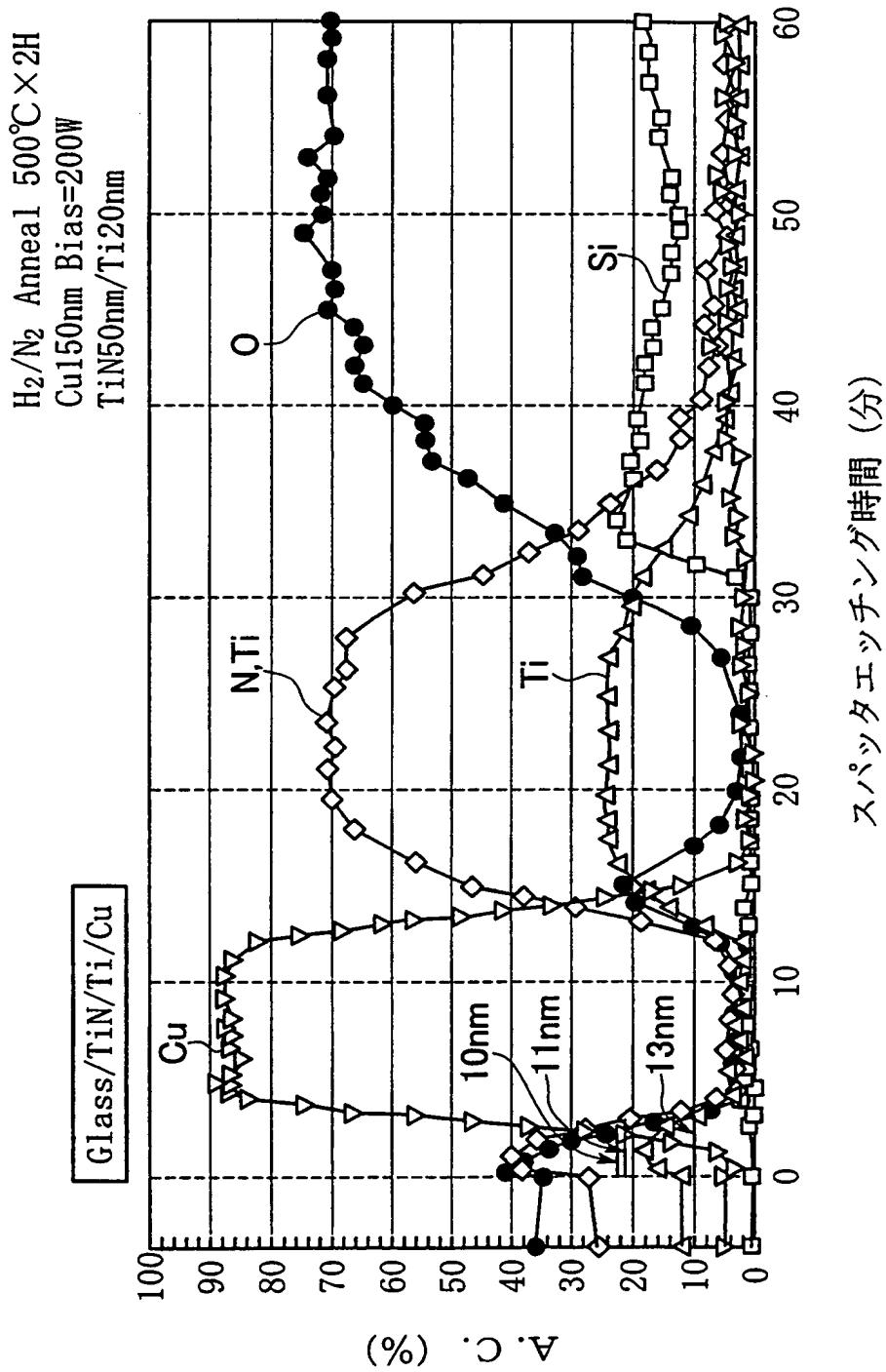
(19/27)

図 25

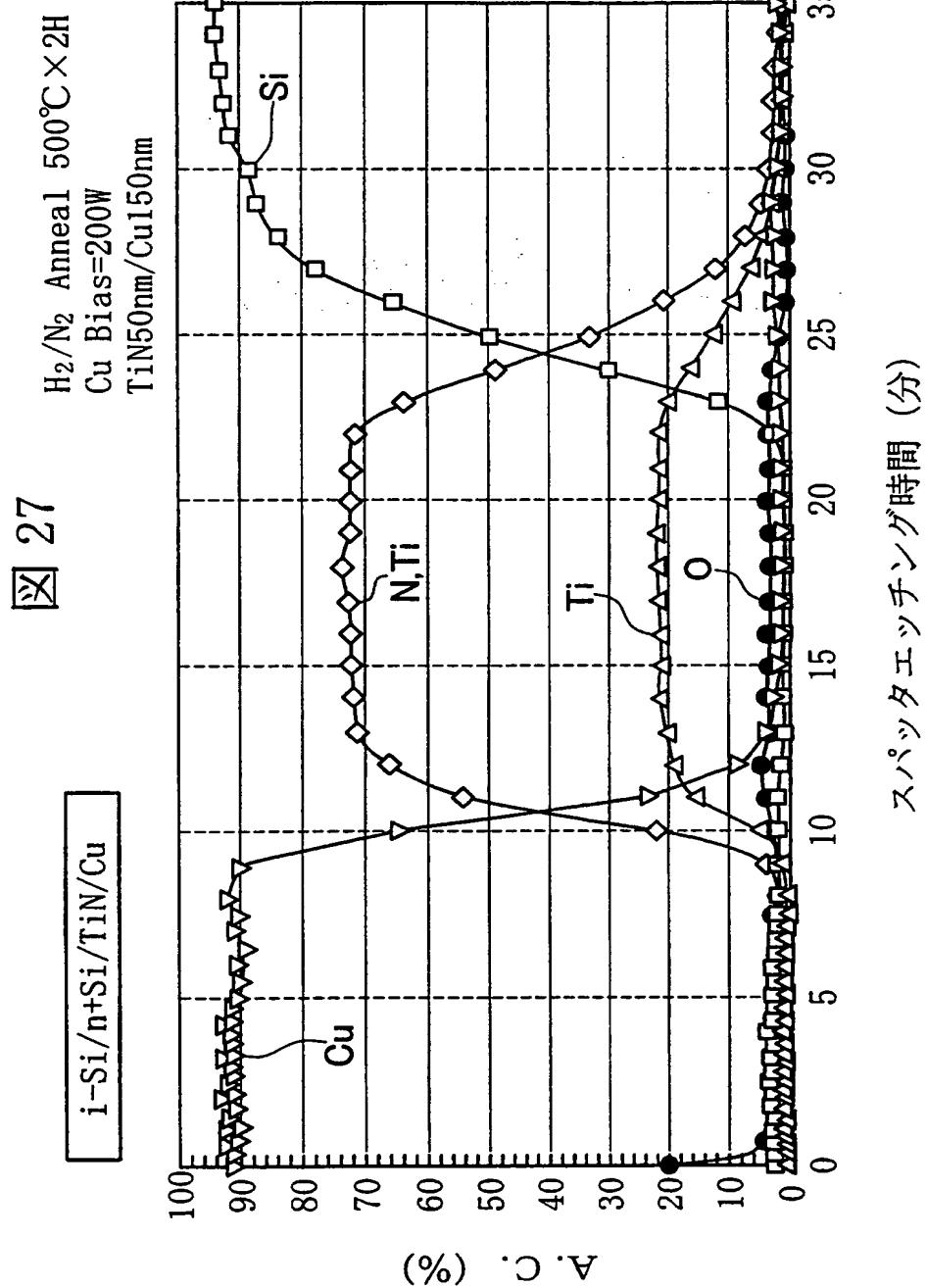


(20/27)

図 26

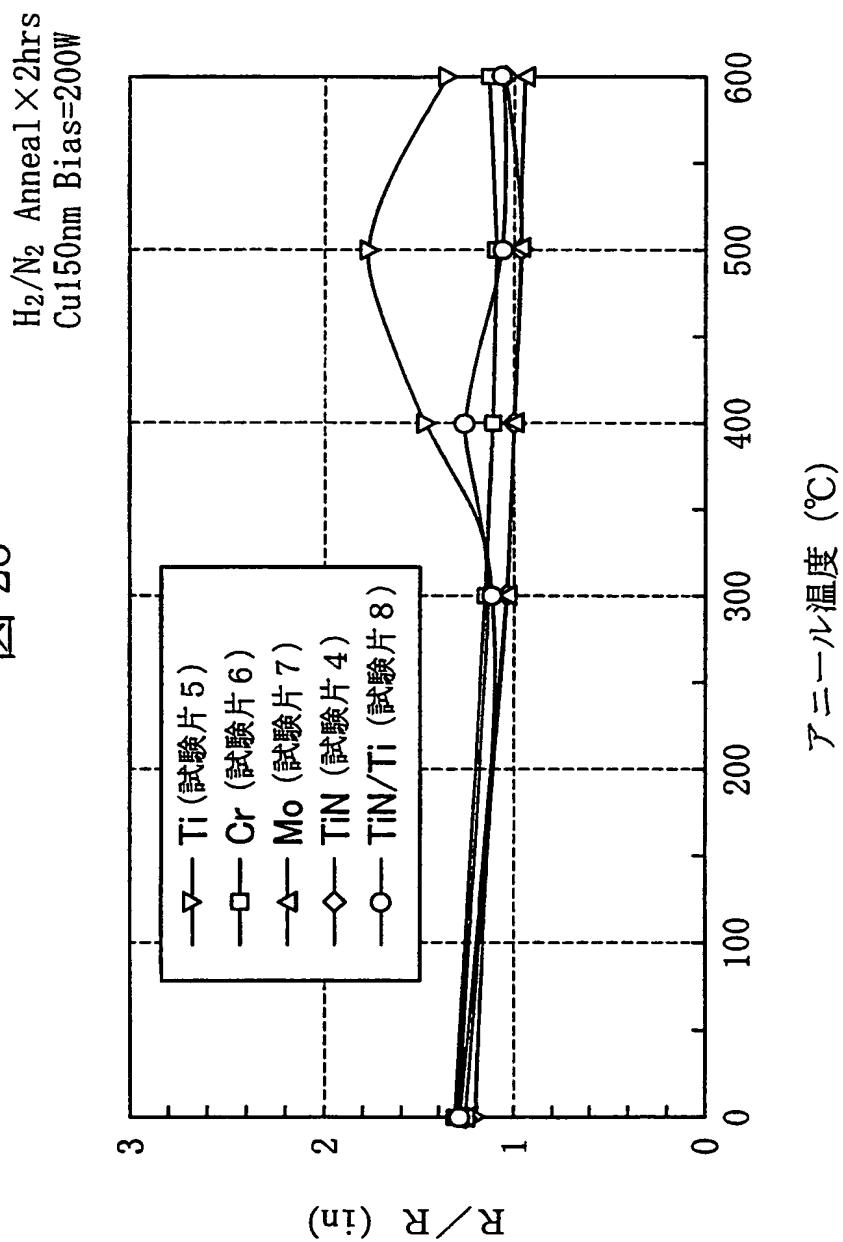


(21/27)

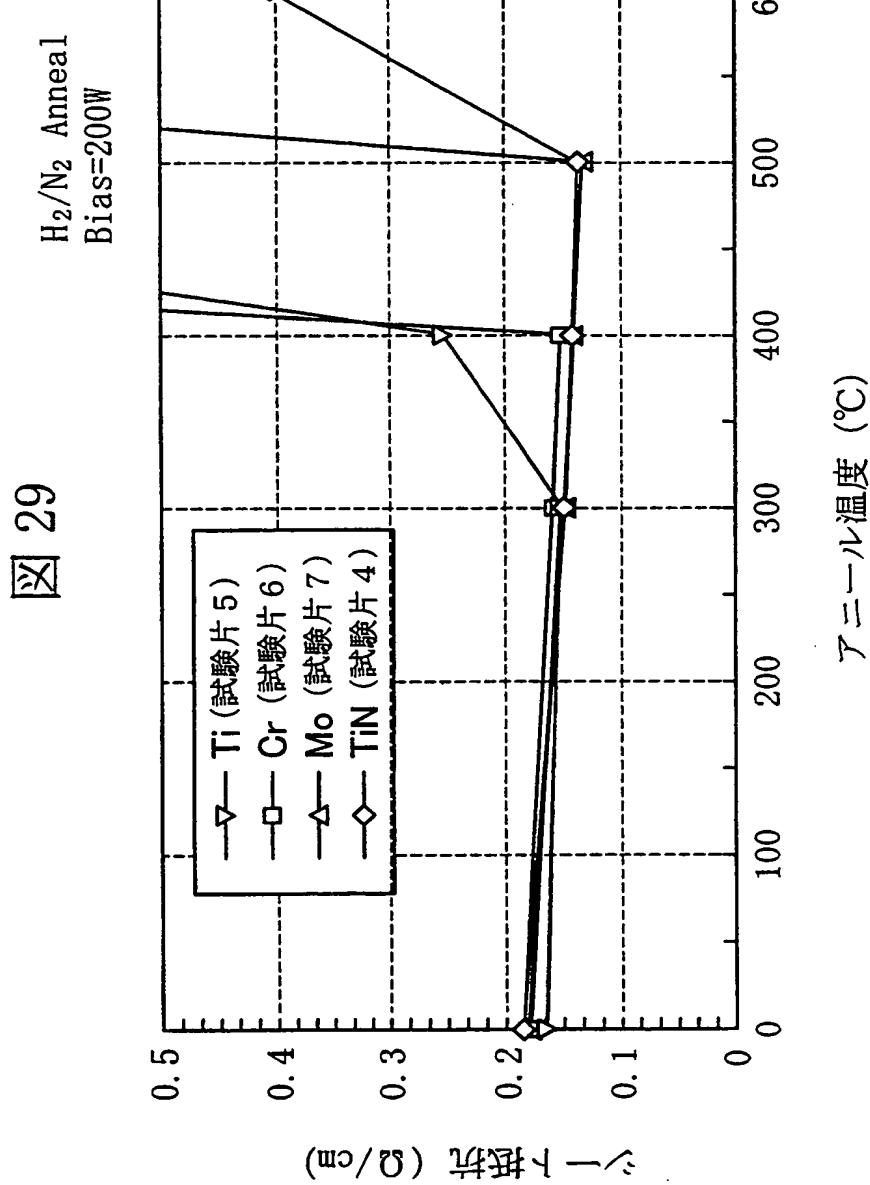


(22/27)

図 28

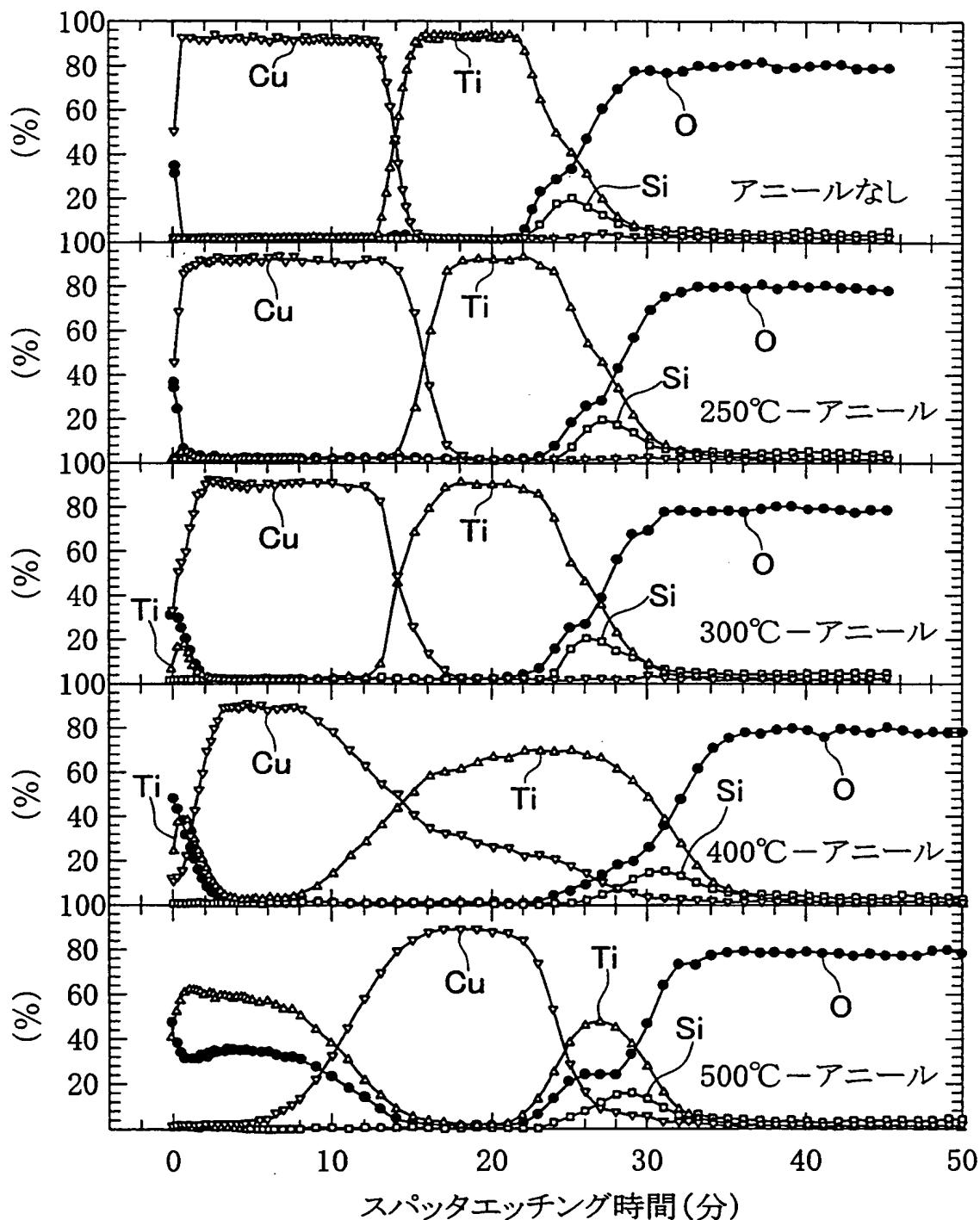


(23/27)



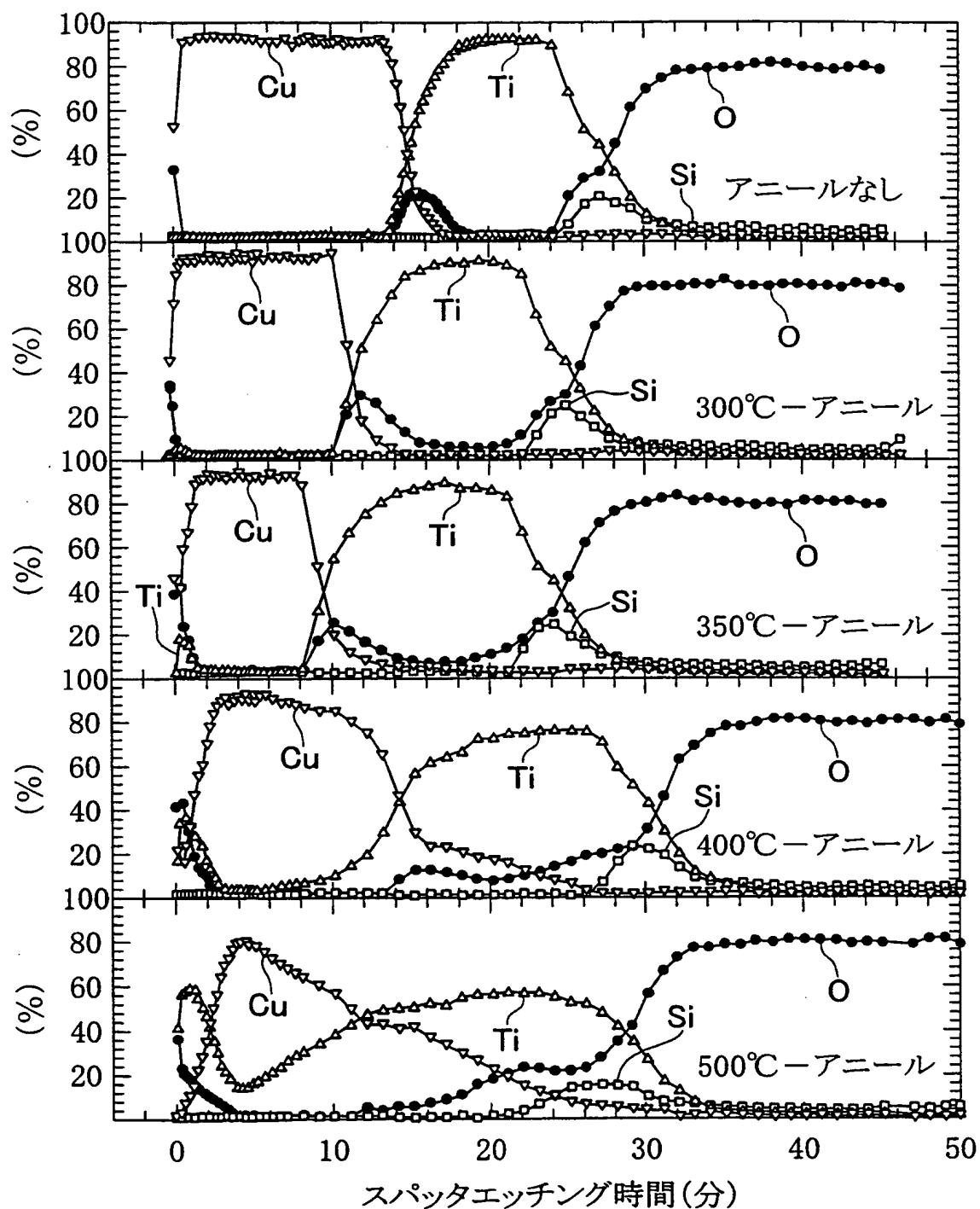
(24/27)

図 30



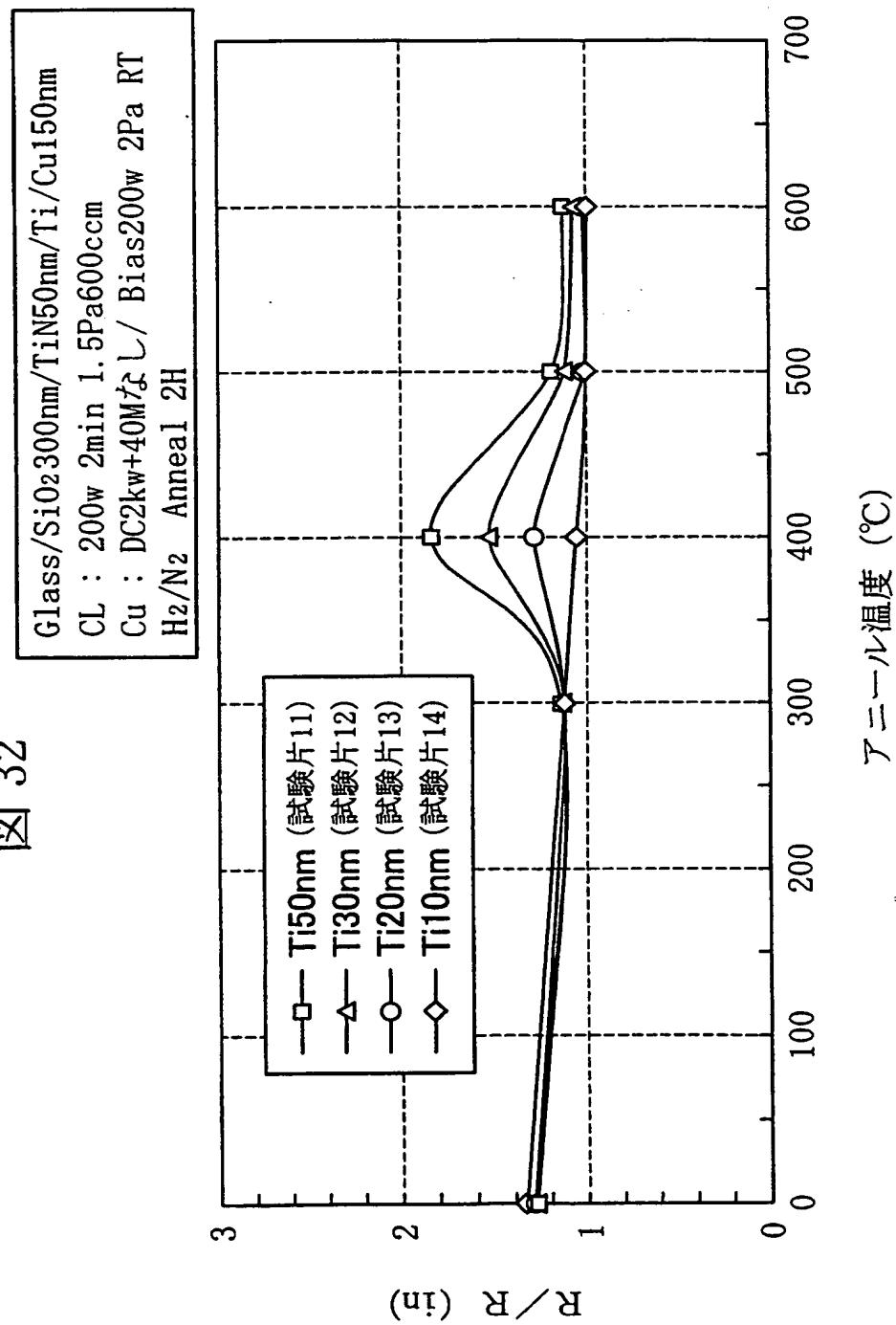
(25/27)

図 31



(26/27)

図 32



(27/27)

図 33

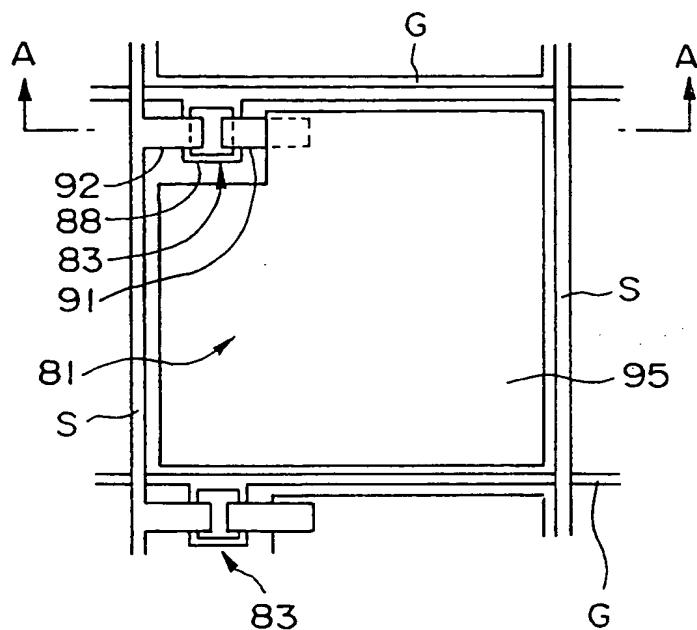
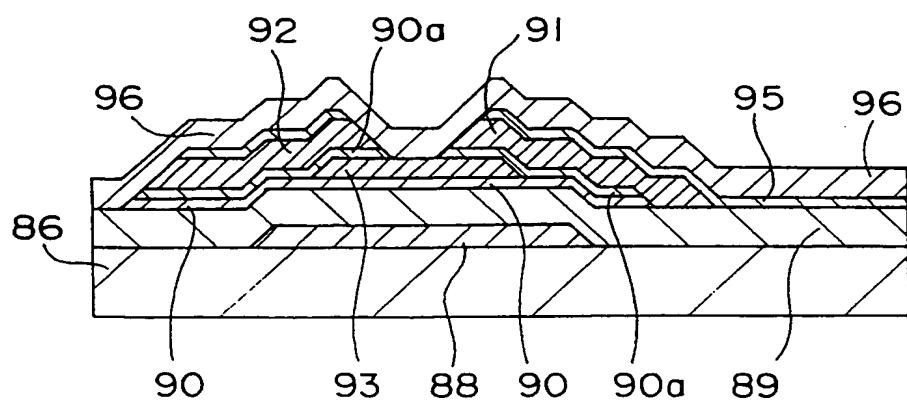


図 34



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/06877

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L21/3205, H01L21/336, H01L29/786, G02F1/1343

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/3205, H01L21/3213, H01L21/768,
H01L21/336, H01L29/786, H05K1/09,
G02F1/1343, G02F1/1345

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000
Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 10-153788, A (Toshiba Corporation), 09 June, 1998 (09.06.98), Full text; Figs. 2, 5	1, 3, 4, 11, 20
Y	Full text; Figs. 2, 5	2
A	Full text; Figs. 2, 5 (Family: none)	5-10, 12-14
X	JP, 53-116089, A (Hitachi, Ltd.), 11 October, 1978 (11.10.78), Full text; Fig. 2	1-4
A	Full text; Fig. 2 (Family: none)	5-10
Y	JP, 6-97164, A (Mitsubishi Electric Corporation), 08 April, 1994 (08.04.94), Par. Nos. [0023]-[0026], Fig. 3 (Family: none)	1-4
Y	JP, 3-152807, A (Casio Computer Co, Ltd.), 28 June, 1991 (28.06.91), Full text; Fig. 1 (Family: none)	1-4, 11, 15, 20
X	JP, 7-170043, A (Matsushita Electric Ind. Co., Ltd.), 04 July, 1995 (04.07.95), Full text; Figs. 1 to 12	3

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier document but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
06 March, 2000 (06.03.00)

Date of mailing of the international search report
21 March, 2000 (21.03.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/06877

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	Full text; Figs. 1 to 12 Full text; Figs. 1 to 12 (Family: none)	15 16-19
X A	JP, 8-138461, A (Sharp Corporation), 31 May, 1996 (31.05.96), Full text; Figs. 1 to 5 Full text; Figs. 1 to 5 (Family: none)	3 15-19

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl' H01L21/3205, H01L21/336, H01L29/786, G02F1/1343

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl' H01L21/3205, H01L21/3213, H01L21/768,
H01L21/336, H01L29/786, H05K1/09,
G02F1/1343, G02F1/1345

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2000年
日本国登録実用新案公報	1994-2000年
日本国実用新案登録公報	1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 10-153788, A (株式会社東芝) 9. 6月. 1998 (09. 06. 98) 全文, 図2, 図5	1, 3, 4, 11, 20
Y	全文, 図2, 図5	2
A	全文, 図2, 図5 (ファミリーなし)	5-10, 12-14
X	J P, 53-116089, A (株式会社日立製作所) 11. 10月. 1978 (11. 10. 78) 全文, 図2	1-4
A	全文, 図2 (ファミリーなし)	5-10

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 06.03.00	国際調査報告の発送日 21.03.00
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 北島 健次 電話番号 03-3581-1101 内線 3496

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 6-97164, A (三菱電機株式会社) 8. 4月. 1994 (08. 04. 94) 段落番号【0023】-【0026】，図3 (ファミリーなし)	1-4
Y	JP, 3-152807, A (カシオ計算機株式会社) 28. 6月. 1991 (28. 06. 91) 全文, 図1 (ファミリーなし)	1-4, 11, 15, 20
X Y A	JP, 7-170043, A (松下電器産業株式会社) 4. 7月. 1995 (04. 07. 95) 全文, 図1-12 全文, 図1-12 全文, 図1-12 (ファミリーなし)	3 15 16-19
X A	JP, 8-138461, A (シャープ株式会社) 31. 5月. 1996 (31. 05. 96) 全文, 図1-5 全文, 図1-5 (ファミリーなし)	3 15-19